

02-27-01

0400/0400
0300

0400
02-27-01

500.39521X00

5-Store
#4
6-25-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): T. ISHII.

Serial No.: 09 / 764, 487

Filed: JANUARY 18, 2001

Title: "SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
AND DATA PROCESSOR DEVICE".



LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

March 5, 2001

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s)
the right of priority based on:

Japanese Patent Application No.: 2000 - 013893
Filed: January 18, 2000.

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Gregory E. Montone
Registration No. 28,141

GEM/rp
Attachment

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 1月18日

出 願 番 号
Application Number:

特願2000-013893

出 願 人
Applicant(s):

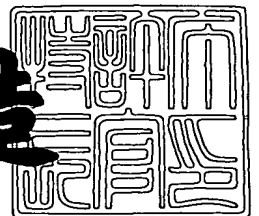
株式会社日立製作所



2001年 2月16日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3007462

【書類名】 特許願

【整理番号】 H99021701A

【提出日】 平成12年 1月18日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/00

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地
株式会社日立製作所中央研究所内

【氏名】 石井 智之

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びデータ処理装置

【特許請求の範囲】

【請求項 1】

同一チップ上に構成された二種類以上のメモリセルアレーを有し、
上記メモリセルアレーの少なくとも二種類が上下の位置関係に設けられているこ
とを特徴とする半導体記憶装置またはデータ処理装置。

【請求項 2】

請求項 1 に記載の半導体記憶装置またはデータ処理装置において、
上記上下の位置関係に設けられているメモリセルアレーの間に少なくとも一層の
配線層を有することを特徴とする半導体記憶装置またはデータ処理装置。

【請求項 3】

請求項 1 または 2 に記載の半導体記憶装置またはデータ処理装置において、
上記上下の位置関係にある二種類のメモリセルアレー間でデータを転送する手段
を有することを特徴とする半導体記憶装置またはデータ処理装置。

【請求項 4】

請求項 1 から 3 のいずれかに記載の半導体記憶装置またはデータ処理装置にお
いて、

上記上下の位置関係にある二種類のメモリセルアレーのうち、データの書換動作
により長い時間がかかるメモリセルアレーの記憶データの外部との転送において

他方のメモリセルアレーを介して外部とのデータ転送を行うことを特徴とする
半導体記憶装置またはデータ処理装置。

【請求項 5】

請求項 1 から 4 のいずれかに記載の半導体記憶装置またはデータ処理装置にお
いて、

上記上下の位置関係にある二種類のメモリセルアレーのうち、データの書換動作
がより短時間で行えるメモリセルアレーの記憶容量が、他方のメモリセルアレー
の記憶容量の半分以下であることを特徴とする半導体記憶装置またはデータ処理

装置。

【請求項 6】

請求項 1 から 5 のいずれかに記載の半導体記憶装置またはデータ処理装置において、

上記上下の位置関係にある二種類のメモリセルアレーのうち、一方のメモリセルアレーが、他方のメモリセルアレーのセンスアンプの機能を有することを特徴とする半導体記憶装置またはデータ処理装置。

【請求項 7】

請求項 1 または 2 に記載のデータ処理装置において、

上記上下の位置関係に設けられているメモリセルアレーのうち、上に設けられているメモリがリフレッシュ動作不要であり、下に設けられているメモリがリフレッシュ動作が必要であり、さらに下に設けられているメモリと同様の高さでロジック回路が設けられていることを特徴とするデータ処理装置。

【請求項 8】

絶縁膜上に設けられたソース、ドレイン領域を有し、

該ソース、ドレイン領域は互いに半導体を介して接続され、

制御電極を有し、

周囲をポテンシャルバリアで囲まれた記憶領域を少なくとも一個有し、

該制御電極とソース、ドレイン領域との間に電圧を印加することで、該記憶領域への電荷注入または記憶領域からの電荷放出を行い、

上記記憶領域に蓄積した電荷量の大小によりソース、ドレイン間のコンダクタンスが変化することを用いて記憶を行う半導体記憶素子を有し、

上記半導体記憶素子を複数個行列状に並べる構造を有し、

基板表面に設けられた複数個のトランジスタを有し、

上記行列状に並んだ半導体記憶素子と上記複数個のトランジスタの位置関係が実質的に上下である部分が存在することを特徴とする半導体記憶装置またはデータ処理装置。

【請求項 9】

請求項 8 に記載の半導体記憶装置またはデータ処理装置において、

上記半導体記憶素子のソース、ドレイン領域を接続する半導体が多結晶シリコンからなることを特徴とする半導体記憶装置またはデータ処理装置。

【請求項 1 0】

請求項 8 または 9 に記載の半導体記憶装置またはデータ処理装置において、
上記半導体記憶素子の記憶領域が、短径が 1 0 ナノメートル未満の少なくとも一個の微少結晶粒からなることを特徴とする半導体記憶装置またはデータ処理装置。

【請求項 1 1】

請求項 8 から 1 0 のいずれかに記載の半導体記憶装置またはデータ処理装置において、

上記基板表面に設けられた複数個のトランジスタが、センスアンプあるいはその一部を構成していることを特徴とする半導体記憶装置またはデータ処理装置。

【請求項 1 2】

請求項 1 1 に記載の半導体記憶装置またはデータ処理装置において、
上記センスアンプが二次元的に並べられていることを特徴とする半導体記憶装置またはデータ処理装置。

【請求項 1 3】

請求項 8 から 1 2 のいずれかに記載の半導体記憶装置またはデータ処理装置において、

半導体記憶素子を制御するデータ線とワード線を有し、

隣り合うデータ線対に対するセンスアンプが、ワード線に対して平行に並ぶのではなく、データ線と平行な方向にずれて配置されていることを特徴とする半導体記憶装置またはデータ処理装置。

【請求項 1 4】

請求項 8 から 1 3 のいずれかに記載の半導体記憶装置またはデータ処理装置において、

上記半導体記憶素子と上記基板表面のトランジスタの間に金属による配線層を有することを特徴とする半導体記憶装置またはデータ処理装置。

【請求項 1 5】

アクセス権を判定する認証機能を有し、

同一チップの絶縁膜上に形成された不揮発性メモリセルアレーを有し、
上記判定を行う認証用ロジック回路と上記不揮発性メモリの間に配線層を有する
ことを特徴とするデータ処理装置。

【請求項 1 6】

請求項 1 5 に記載のデータ処理装置において、
認証情報または認証プログラムの少なくとも一部を上記不揮発性メモリに格納
することを特徴とするデータ処理装置。

【請求項 1 7】

請求項 1 5 に記載のデータ処理装置において、
上記不揮発性メモリセルアレーと異なる製造プロセス過程で形成された不揮発
性メモリセルアレイを有し、
認証情報または認証プログラムを上記二種類の不揮発性メモリに分散して記憶
することを特徴とするデータ処理装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体記憶装置及びデータ処理装置に関する。

【0 0 0 2】

【従来の技術】

本発明に関連した従来技術として、T. Masuhara et al, IEICE Transactions
vol. E74 pp130-141, 1991年に記載されているフラッシュメモリを挙げる。この
フラッシュメモリセルはシリコン基板表面に形成されたソース、ドレイン、チャ
ネル領域の他に多結晶シリコンからなるフローティングゲート、コントロールゲ
ートが絶縁体中に設けられている。フローティングゲート中に電荷蓄積を行い、
蓄積電荷量の大小によりソース、ドレイン間のコンダクタンスが変化することを
用いて記憶を行う。本発明に関連した他の従来技術として、K. Yano et al, IEE
E International Electron Circuit Conference pp541-544, 1993年、及びK. Ya
no et al, International Solid-State Circuits Conference pp266-267, 1996
年に記載されている多結晶シリコンを用いた単一電子メモリを挙げる。この技術

においては多結晶シリコン薄膜によって電流経路であるチャネル及び電子を捕獲する記憶領域を同時形成する。記憶領域に電子が捕獲されると電流経路のコンダクタンスが変化することを利用し、情報の記憶を行なう。微小な記憶領域に電子を蓄積することで、蓄積電子の個数を一個単位で制御し、室温においても蓄積電子を安定に保持することを可能にしている。この単一電子メモリは、その原理から微細化に適している。特に絶縁膜上にソース、ドレイン領域を設ける素子構造を用いることにより、電流経路と周りのコンダクタンスが小さくなり、少ない蓄積電荷量で容易に情報を読み出せる。また、多結晶シリコンから成るFET（電界効果型トランジスタ）と基板表面に設けたMOS（metal-oxide-semiconductor）トランジスタを組み合わせたメモリセルの例としてT. Masuhara et al, IEICE Transactions vol. E74 pp130-141, 1991年に記載されているSRAMを挙げる。この技術は6個のトランジスタを一組として単位メモリセルを形成するSRAMにおいて、負荷の役割を果たす2個のトランジスタに多結晶シリコンFETを用いたものであり、多結晶シリコンFETを他のトランジスタの上に形成できることから、6個のトランジスタを基板表面に形成した場合よりも小面積でメモリセルが実現できる。

【0003】

【発明が解決しようとする課題】

フラッシュメモリに代表される、絶縁体中の記憶領域に電荷蓄積を行い、蓄積電荷量の大小によりソース、ドレイン間のコンダクタンスが変化することを用いて記憶を行う半導体記憶素子は、1トランジスタでメモリセルが構成できるため、高集積化に適している。高集積、不揮発性という利点を有するフラッシュメモリであるが、DRAMと比べて3桁以上書換時間が遅いという課題も抱えている。従って連写を行いたいデジタルカメラではデータを一旦バッファ用途の揮発性メモリに蓄え、その後徐々に不揮発部分に転送するという手法を採る。この手法では別チップでバッファメモリを用意し、制御系も複雑になるため、フラッシュメモリ単独の場合と比べてコストが大きく上昇する。フラッシュメモリチップ上にも各データ線毎にレジスタが設けられている。データ線を分割し、レジスタ個数を増やして書換速度向上を図ることも考えられるが、レジスタは大きな面積を占めるためチップ面積の増大が大きくやはりコストが上昇してしまう。

【 0 0 0 4 】

また、単純に半導体記憶装置の性能向上の観点から、データ線容量が小さい方が、書き込みや消去、読み出し等のメモリ動作時に充放電の時間が短いため高速動作に適しており、また充放電する電荷量も少なく済むため低消費電力で動作する。同様なことがワード線についても言える。他方、記憶容量の大容量化に伴い、微細化を考慮に入れてもメモリセルアレイ領域の大きさは増大している。このためアレイの端から端までデータ線やワード線を走らせると長さが長くなり、容量が大きくなってしまう。この問題に対する解決法としてセルアレイをより小さな単位に分割し、この単位で書き込みや読み出し等を行う方法がある。しかし、セルアレイを小さな単位に分割し、各々にセンスアンプ、ワード線駆動回路等の周辺回路を用意すると面積が増大しコストが増大してしまうという新たな問題が生じる。

【 0 0 0 5 】

さらに、コスト削減や、メモリとプロセッサ間のデータ転送速度向上のために DRAM やフラッシュメモリのオンチップ化が有効な手段である。しかし、メモリセル作製プロセスとロジック用 CMOS 作製プロセスの整合性の問題から、メモリ性能とロジック性能を両立させるのは困難である。

【 0 0 0 6 】

そこで、本発明の目的とするところは、高速書換を可能としながら面積増大の少ない半導体記憶装置を提供することである。また、小面積で大容量、または高速動作、低消費電力動作の半導体記憶装置を提供することである。さらに、作製が容易で、ロジック性能を損なうことなく同一チップ上に大規模メモリを搭載することのできるデータ処理装置を提供することも目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

本発明は、半導体基板表面にロジック回路やバッファメモリ、センスアンプ等の周辺回路またはその一部を設け、絶縁膜を介してその上にメモリセルを設けることを特徴とする。

【0008】

より詳細には、本発明の代表的な実施形態による半導体記憶装置またはデータ処理装置は、同一チップ上に構成された二種類以上のメモリセルアレーを有し、メモリセルアレーの少なくとも二種類が上下の位置関係に設けられていることを特徴とする。

【0009】

又、作製が容易で、ロジック性能を損なうことなく同一チップ上に大規模メモリを搭載することのできる実施形態は、絶縁膜上に設けられたソース、ドレイン領域を有し、該ソース、ドレイン領域は互いに半導体を介して接続され、制御電極を有し、周囲をポテンシャルバリアで囲まれた記憶領域を少なくとも一個有し、該制御電極とソース、ドレイン領域との間に電圧を印加することで、該記憶領域への電荷注入または記憶領域からの電荷放出を行い、上記記憶領域に蓄積した電荷量の大小によりソース、ドレイン間のコンダクタンスが変化することを用いて記憶を行う半導体記憶素子を有し、上記半導体記憶素子を複数個行列状に並べる構造を有し、基板表面に設けられた複数個のトランジスタを有し、上記行列状に並んだ半導体記憶素子と上記複数個のトランジスタの位置関係が実質的に上下である部分が存在することを特徴とする。

【0010】

本発明の他の手段、目的と特徴は、以下の実施の形態から明らかになるう。

【0011】

【発明の実施の形態】

(実施例1)

以下には、本発明の具体的な実施例による記憶装置またはデータ処理装置を説明する。図1から図5は本実施例による記憶装置を示す。図1(a)がレイアウト図面(図7)におけるA-B面における断面構造図、図1(b)が図1(a)の単位メモリセル部分の拡大断面図である。図3は本実施例のメモリセル部分の回路図を示している。図3は平面的に描いているが、実際には図21のように高集積のメモリセルアレイ部分の作られる面(PL2)は高速書換メモリあるいは周辺回路の作られる面(PL1)とは異なる。しかしながら回路図の見易さの面から以下

の実施例では平面的に示すこととする。とくに図 3 の SRAM 部分を拡大した図が図 8 である。

【 0 0 1 2 】

図 2 は本発明の記憶装置のメモリセルアレイ部分の構成の概念図である。図 2 (a) のように、シリコン基板表面を用いてセンスアンプ、ドライバ他の周辺回路を構成し、その上に絶縁膜を介して高集積のメモリセルアレイが設けられている。メモリセルアレイと周辺回路を同一面内に構成した場合と比べ、小面積で記憶装置が構成でき、コストを下げる事が出来る。またメモリセルから周辺回路までの配線長を短く出来るため、高速化にも適している。尚、絶縁膜上の高集積メモリは半導体メモリである必要はなく、二つの磁性体薄膜の磁化の向きが平行か反平行かで磁性体間に挟まれた導体の抵抗が変化する現象あるいは、二つの磁性体薄膜の磁化の向きが平行か反平行かで磁性体間をトンネル電流が変化する現象を利用する、いわゆる MRAM (magnetic random access memory) のような他の材料を用いるメモリを使っても構わない。

【 0 0 1 3 】

図 2 (b) は書換高速化の観点から本実施例の構成を説明するものである。一般にフラッシュメモリ、DRAM 等高集積性を追究したメモリはセルサイズが小さい反面書き込み、読み出し等の動作速度が遅くなる。特にフラッシュメモリは書き込み消去に時間がかかるため、短時間でデータ転送を行いたい場合一旦高速書換可能なバッファメモリに情報を格納し、その後フラッシュメモリにバッファメモリの情報の書き込みを行う手法が有効である。本発明は絶縁膜上の高集積メモリの下の基板表面を使って高速書換メモリを用意する構成を採る。従って高集積メモリよりは小容量ながら、高集積アレイと同一面内の端に一行に高速書換メモリを用意した場合と比較し、行列状にセルを並べられる分大きな容量の高速書換メモリを面積ペナルティーがほとんどなく用意することが出来る。

【 0 0 1 4 】

本実施例では上部メモリセルとしてフラッシュメモリを構成している (図 1 (b))。厚さ 50nm の高濃度 n 型の多結晶シリコンから成るソース (1) 領域兼ソース線 (1)、ドレイン領域兼ローカルデータ線 (2) は厚さ 10nm の低濃度 p 型の多結晶シリコ

ンのチャネル(3)で接続されている。周囲を絶縁膜で囲まれ厚さ20nmのn型多結晶シリコンからなる浮遊ゲート(4)を有し、さらにW(タングステン)によって裏打ちされたn型多結晶シリコンのゲート兼ワード線(5)が設けられている。情報記憶動作はソース、ドレインに対して相対的に正(例えば20V)または負(例えば-18V)の大きい電圧を印加することで電荷を厚さ8nmのトンネル絶縁膜(11)中を移動させることで行う。読み出しは浮遊ゲート(4)内の電荷量によってゲート(5)、ソース(1)、ドレイン(2)、チャネル(3)から成るFETのしきい電圧が変化することを利用する。基板表面にはSRAM(static random access memory)セルにローカルデータ線との接続スイッチ(SL)及びグローバルデータ線との接続スイッチ(SG)を備えたものを単位構造とするセルアレイが設けられている。同一グローバルデータ線につながるローカルデータ線は分割し、各々接続スイッチ(SG)を介してグローバルデータ線に接続される。本実施例では一本のグローバルデータ線に128本のローカルデータ線を接続する構成を採った。分割の概略を図11に示す。高集積メモリ(フラッシュメモリ)のセルアレイは128分割され、各々一列の高速メモリ(SRAM)をアレイ下に有している。この一組をメモリマットと呼ぶこととする。ローカルデータ線はメモリマット内を繋ぎ、メモリマット間はグローバルデータ線で接続される。書込みあるいは消去の単位をセクタと呼び、同じワード線で駆動される。次に説明するように高速書込みあるいは高速読み出しを行うためには連続したデータ列を異なるメモリマットのセクタに格納することが重要である。

【0015】

従って例えば図11のように連続するセクタ番号を異なるマットに割り振る。マット内で連続させてセクタ番号を割り振ってしまい、書込み動作時にコントローラが異なるマットに属するとびとびのセクタ番号を選択する方式を採っても構わない。SRAMに対して二つのスイッチSL、SGが直列に入る本実施例の接続は、実施例2のように並列に入る場合と比べて小面積のレイアウトがしやすい。また、スイッチSLをオフ、スイッチSGをオンとするとグローバルデータ線を通じてSRAMの保持情報を失うことなくフラッシュメモリの情報を外部とやり取りすることも可能である。

【 0 0 1 6 】

次に本実施例の記憶装置の動作を説明する。まず情報書込みににおいては書込み情報をグローバルデータ線(13)にロードする(図3、図8)。例えば情報が「0」か「1」かによって電圧を0Vと5Vに設定する。ペアとなるグローバルデータ線(18)には反転情報をロードするのは言うまでもない。このとき書込みたいローカルデータ線(12)及びこれにつながるSRAMセルに対してSL、SGを導通(オン)状態にし、同一グローバル線につながる他のローカルデータ線とのSGは非導通(オフ)状態とする。SRAMセルをオンとし、ロードされた情報をSRAMに記憶する。また時間t1の後SGをオフ状態とし、グローバルデータ線(13)に次の書込み情報をロードする。このロード、ストア動作はSRAMに書込む動作であり、フラッシュメモリの平均書込み時間よりも短いサイクルで動作可能である。

【 0 0 1 7 】

他方、SGをオフ状態にすることでグローバルデータ線(13)から切り離されたローカルデータ線(12)はSRAMセルによってhighまたはlowに情報が保持されている。従ってSLをオフとし、ソース線をこのlow電圧よりも高い電位(例えば5V)に設定し、フラッシュメモリのワード線(20)に書込み電圧(例えば20V)を印加することで、情報をフラッシュメモリに書込むことが可能である。ここでロードされた電圧が5Vの場合ワード線(20)とデータ線(12)の相対電位差は15Vであり、ロードされた電圧が0Vの場合の相対電位差は20Vよりも小さいためトンネル電流が小さく、しきい電圧は相対的に低くなる。SLをオフ後はSRAMをオフ状態にしてよい。このフラッシュメモリへの書込み動作は次にこのローカルデータ線(12)が選択されるまでに終了すればよい。

【 0 0 1 8 】

本実施例では128本のローカルデータ線を順次選択して書込む方式を採った。従ってSRAMへの書込み動作はフラッシュメモリへの書込み動作よりも二桁高速化でき、高速の書換が実現される。特に書込み前にセル情報の消去動作を入れる場合には消去と書込みを続けて行う必要があり、時間がかかるため本発明の効果は大きい。

【 0 0 1 9 】

読み出し動作では、まずグローバルデータ線(13)をプリチャージし、SL、SGをオンとしてローカルデータ線(12)をプリチャージする。このときローカルデータ線(12)に接続されているグローバルデータ線(13)の電位設定をペアとなるグローバルデータ線(18)の電位よりも高く設定する。SGをオフにしてフラッシュメモリのソース線(19)をプリチャージ電圧よりも低く設定し(例えば0V)、ワード線(20)を読み出し電圧に設定する。この読み出し電圧はメモリセルの低しきい電圧状態のしきい電圧より大きく、高しきい電圧状態のしきい電圧より小さく設定する。所定の時間後SRAMをオンとするとSRAMはセンスアンプとして働き情報の一次読み出しが出来る。

【 0 0 2 0 】

ここで書込み時にローカルデータ線の電位をhighとした場合フラッシュメモリのしきい電圧は低いため電流が大きく流れ、ローカルデータ線(12)の電位は急速に下がる。一方データ線lowで書込んだ場合ローカルデータ線(12)の電位変化は緩やかである。従ってhigh書込みの場合のノードN1の電位<ノードN2の電位<low書込みの場合のノードN1の電位という不等式が成立するタイミングが存在し、ここでセンスアンプを起動するように設計を行った。

【 0 0 2 1 】

一次読み出しの次にSGをオンとして読み出し結果をグローバルデータ線(13)にロードする。必要に応じてさらに外部に設けたセンスアンプで増幅してもよい。ここで書込み時のデータとこれを読み出した時で電圧の情報が丁度反転している。従って外部に転送する場合反転させて送る。尚、書込み時に反転情報を書込んでも構わない。また、読み出し時にフラッシュメモリのソース線(19)をプリチャージ電圧よりも高く設定すると上記説明とノード電位の大小関係が逆転し、書込み時と同じ大小関係で読み出しが可能となる。

【 0 0 2 2 】

ここで一次読み出し動作はグローバルデータ線プリチャージ後はローカルデータ線レベルで行われるため、同じグローバルデータ線で駆動される複数のローカルデータ線で同時に行える。つまり単位ローカルデータ線レベルで増幅動作に時

間がかかっても、グローバルデータ線へのロードはSRAMからの読み出しであるため順次高速に行え、データ転送レートは高くなる。特に本実施例では多結晶シリコンでローカルデータ線を構成するため金属配線と比べて抵抗が高く、単位セルレベルでは読み出しに時間がかかる傾向にあるが、本実施例の構成を採ることでメモリチップ全体としてのデータ転送レートを通常のフラッシュメモリチップよりも大きくすることが可能である。本実施例ではダミーメモリセルを用いない電圧センスの読み出し方式を採ったが、ダミーセル方式や電流センス等他の読み出し方式を用いてもよい。さらに、本実施例ではSRAMがフラッシュメモリへの情報書込み時のバッファメモリとフラッシュメモリの保持情報読み出し時の一次センスアンプを兼ねていたが、SRAMをこれらのうち一方の機能のみに使うことも可能である。

【 0 0 2 3 】

次に、本実施例の製造工程をレイアウトパターンとともに説明する。図4から図7は一つのSRAMセルとその上に形成されるフラッシュメモリセルアレイの異なった作製工程におけるレイアウト図である。点線で囲った部分(21)がSRAMの単位構造である(図4)。P型シリコン基板内にリンを打ち込み、熱を加えることでn型のウエルを形成する(パターンNWELL)。次に、このウエル内にボロンを打ち込み、熱を加えてP型のウエルをn型領域の中に形成する。n型領域中の互いに分離されたP型領域は異なる電位に設定できる利点がある。

【 0 0 2 4 】

次にホトレジストをマスク(パターンL)に基板をエッチングし、この溝にSiO₂膜を埋め込み、SiO₂膜を平坦化エッチングすることで素子分離を行う。この素子分離はSi₃N₄膜でアクティブ領域を覆った後に基板を酸化するLOCOS等の手法を用いてもよい。次に基板表面を15nm酸化してゲート酸化膜を形成する。一部分をレジスト等で覆った後、ゲート酸化膜をエッチングして除去する。覆いを取った後再度酸化し5nmのゲート酸化膜を形成する。すなわち厚いゲート酸化膜と薄いゲート酸化膜を用意する。厚いゲート酸化膜は高電圧を用いるフラッシュメモリのドライバに用いる。SRAMの用いるトランジスタは薄いゲート酸化膜のものをを用いて高速性を確保する。その上に多結晶シリコン膜を堆積し、

ホトレジストをマスク（パターンFG）に多結晶シリコン膜をエッチングし、ゲート電極を形成する（図4）。

【0025】

次にホトレジストをマスクにP型ウエル内にリンを打ち込み、さらにホトレジストをマスクにn型ウエル内にボロンを打ち込む（図5）。この後 SiO_2 膜を堆積してエッチングすることでゲート電極に SiO_2 の側壁を形成する。次にホトレジストをマスクにP型ウエル内にリンを、ホトレジストをマスクにn型ウエル内にボロンを打ち込むことで拡散層を形成する。この後 SiO_2 膜を堆積し、CMP（化学的機械研磨）を行って平坦化する。次にホトレジストをマスク（パターンCONT）にコンタクト孔を開け、W（タングステン）を堆積する。この後レジストをマスク（パターンM1）にWをエッチングし、配線パターンを形成する。さらに SiO_2 膜を堆積し、CMPを行って平坦化する。この後レジストをマスク（パターンTC1）にコンタクト孔を開け（図5）、Wを選択成長させる。

【0026】

その上にWを堆積し、ホトレジストをマスク（パターンM2）にエッチングし、二層めの配線パターンを形成する（図6）。グローバルデータ線はこの層で形成する。この後 SiO_2 膜を堆積し、CMPを行って平坦化する。再びホトレジストをマスクにコンタクト孔（パターンTC2）を開け（図6）、Wを選択成長させる。

【0027】

さらに厚さ50nmのn型多結晶シリコン膜を堆積し、レジストをマスク（パターンDL）に多結晶シリコン膜をエッチングし、データ線を形成する（図7）。この上に厚さ10nmのP型の多結晶シリコン膜を堆積する。レジストをマスクにエッチングを行いチャネルを形成する。厚さ10nmのP型の多結晶シリコン膜を堆積し、レジストをマスクにエッチングを行いフローティングゲートを形成する。さらに厚さ12nmの SiO_2 絶縁膜(14)、厚さ40nmの多結晶シリコン膜、厚さ30nmのWを堆積する。この後レジストをマスク（パターンWL）にW及び多結晶シリコン膜をエッチングし、ワード線を形成する（図7）。さらに SiO_2 膜を堆積し、平坦化を行い、レジストをマスクにコンタクト孔を開け、TiN（チタ

ンナイトライド)、A1 (アルミニウム) を堆積する。ホトレジストをマスクに金属をエッチングし、配線パターンを形成する。

【0028】

ここでフラッシュメモリのチャネルの多結晶シリコン膜が10nmと薄いため短チャネル効果の影響が少なく、微細化に適するという特徴がある。またチャネルに不純物を導入せずイントリンシックとしても構わない。チャネルを完全に空乏化することでオフ状態を作るからである。またローカルデータ線を金属で形成しても構わない。フラッシュメモリセル形成のプロセスはMOSデバイスのプロセスと共通化困難であり、通常別工程で形成する。一方高耐圧のドライバ回路を除きSRAMや周辺回路は同時形成可能である。また絶縁膜上に形成するメモリセルは素子分離が容易である。従って本発明の製造工程数は従来のフラッシュメモリ製造工程と比較してほとんど増加しない。

【0029】

(実施例2)

図9、図10、図13は本発明の別の実施例による記憶装置を示す。図9は実施例1の図8に対応し、単位SRAMセルを示す。実施例2の図10、図13は実施例1のフラッシュメモリ部分に用いるメモリの断面構造図及びセルアレイの回路図である。これらを除いては実施例1と同様であり、以下では違いについて説明する。

【0030】

図9は選択トランジスタSFの接続関係が図8のSLとは異なっている。SFがオフの状態では通常のSRAMと同じ構成となるため、実施例1のようにより低速、高集積のメモリのバッファメモリの機能として用いるだけでなく、2次キャッシュ等の純粋にSRAMとしての使用も可能である。高集積メモリへのアクセスの必要が生じた時に実施例1と同様の使い方に切り替える。またSRAMにグローバルデータ線から情報を書き込む場合もSFをオフとしておけばローカルデータ線の分の容量を充電しなくてよいため高速に動作できる。さらに図9はSRAMもしくはセンスアンプのオンオフ用スイッチM1、M2をセル内に有している点でも図8と異なっている。

【 0 0 3 1 】

実施例 1 の場合電源線(14)(18)には共通のオンオフ用トランジスタを設けて SRAM もしくはセンスアンプのオンオフを行う。これは本実施例よりもトランジスタが少なく、これらを駆動する信号線(22)(23)も不要であるため小面積であるが、充放電の時間や消費電力が少なくない。本実施例では各セル毎にスイッチを有するため、高速で消費電力も小さく、動作も安定する。

【 0 0 3 2 】

次に図 10 のメモリセルについて説明する。低抵抗の半導体あるいは金属のソース線(24)、ローカルデータ線(25)が半導体薄膜のチャネル(26)で接続されている。チャネル近傍に半導体あるいは金属からなり、粒径平均が 3nm の微小粒(27)が密度 1 平方センチメートル当たり 10 の 12 乗個の密度で形成されている。本実施例ではシリコンで微小粒(27)を形成した。チャネルとシリコン微小粒間には厚さ 6nm で表面を窒化した SiO_2 膜(28)がある。また、シリコン微小粒の上には厚さ 8nm で表面を窒化した SiO_2 膜(30)が設けられ、その上に n 型多結晶シリコンと W の二重構造のワード線(29)が形成されている。動作における印加電圧の大小関係は実施例 1 と同様である。以下では簡単のためキャリアを電子として説明するが、キャリアは正孔でも構わない。これは他の実施例でも同様である。キャリアが正孔の場合には電圧関係が逆になる。

【 0 0 3 3 】

一つのフローティングゲートに多くの電子を蓄積するフラッシュメモリと異なり、一つの微小粒に一個あるいは数個の電子しか蓄積せず、このような微小粒を多く用意して単位セルが構成されている。蓄積電子が分散されているため情報の書換を繰り返しても蓄積電子の保持が安定に行えるという特徴がある。このためトンネル絶縁膜(28)を薄く出来、したがって情報書換が高速である。また蓄積する電子数が少ないため電子の注入、放出にかかる時間が短いことから情報書換が高速である。さらに、微小粒(27)が小さいため、電子が一個入っただけであっても静電ポテンシャル変化が大きく、書込み時には電子一個注入されると次の電子の注入確率が著しく低下する。このため注入される電子個数を高精度に制御することが可能である。

【 0 0 3 4 】

セルアレイの接続関係（図 1 3）では隣のセルとソース線を共有化して単位セル当たりの面積を小さくしていた実施例 1 とは異なり、ソース線(34)はローカルデータ線(33)毎に独立とし、しかもスイッチ(M4)を介してソース線用電源線(35)と接続されている。本実施例では書込み時にスイッチM4をオフとすることでソース線をフローティングとし、書込み電圧印加によってセルが導通状態となることでソース線(34)がローカルデータ線(33)と同電位になるためソース線(34)付近とデータ線(33)付近で同様の電圧条件での微小粒への電子注入が可能となる。このようなセルアレイ構成はフラッシュメモリの場合でも有効である。

【 0 0 3 5 】

また、データ線に対して本実施例の製造工程が実施例 1 と異なるのは高集積メモリセル部分のみである。TC2形成後 SiO_2 を 100nm 堆積し、ホトレジストをマスクにドライエッチすることでローカルデータ線パターンの溝を SiO_2 に対して形成する。200nm の厚さの n 型多結晶シリコンを堆積し、CMP で平坦化してソース線(24)、ローカルデータ線(25)を形成する。膜厚 10nm のノンドープの多結晶シリコン(26)と厚さ 10nm の SiO_2 膜を堆積し、ホトレジストをマスクにフッ酸で SiO_2 膜のウェットエッチングを行う。次に O_2 プラズマを用いて常温酸化することで SiO_2 膜マスクの選択酸化を行いチャネルを形成する。 SiO_2 膜のウェットエッチング後改めて SiO_2 膜(28)を堆積し、表面を窒化する。シリコン微粒子(27)、 SiO_2 膜(30)を堆積し再び表面を窒化した後、n 型多結晶シリコン、W を堆積する。この後、ホトレジストをマスクにドライエッチングを行いワード線(29)を形成する。

【 0 0 3 6 】

実施例 1 と本実施例では高集積メモリに不揮発性メモリを用いたが、重要なのは高集積であるということであり揮発性メモリを用いてもよい。例えば本実施例のメモリセル（図 1 0）でトンネル酸化膜(26)を薄くすることで、記憶保持時間は短くなるが書換が高速に行える。この場合情報の保持の為に定期的に情報の読み出し、再書込みを行うリフレッシュ動作が必要となる。リフレッシュ動作においても本発明の構成は有効で、メモリマット内でワード線毎に順に読み出し（一

次読み出し)とワード線への書込みパルス印加を行えばよい。

【0037】

メモリマット間で独立にリフレッシュを行うには図12のようにプリチャージ用電源線(31)、信号線(32)とスイッチ(M3)を設ける。このようにすればグローバルデータ線と独立に動作可能である。ローカルデータ線単位のリフレッシュ動作であるため充放電すべき容量が小さく、従って消費電力を小さくできる。また、ソース線を0V固定とした場合、実施例1で説明したようにリフレッシュ毎に情報が反転する。従ってリフレッシュ回数をカウントする1ビットのカウンタを用意し、外部への情報取り出し時には読み出した情報とカウンタのEXOR(exclusive OR)を取って出力する。

【0038】

高集積メモリとして1トランジスタと1キャパシタから成る通常のDRAMを用いてもよい。メモリマット単位でリフレッシュ可能であるため、短いリフレッシュサイクルと大規模のメモリ容量の両立が可能である。尚この場合リフレッシュ毎に情報が反転することはないため上記操作は不要である。加えてローカルデータ線単位での読み出し動作はデータ線容量が小さく、データ線の抵抗も小さいため高速に行えるという特徴もある。

【0039】

(実施例3)

図14は本発明の別の実施例による記憶装置のセルアレイ部分の回路図を示す。高集積メモリにはフラッシュメモリを用いる。高集積メモリセル間の接続関係は実施例2と同様である。本実施例では実施例1、2と異なり消去をフローティングゲートへの電子注入の意味に、書込みを注入した電子の引き抜きの意味に用いる。また高しきい値状態を情報「0」に、低しきい値状態を情報「1」に対応させることとする。本実施例は実施例1、2におけるセンス兼ラッチ回路の他にベリファイ回路をメモリマット毎に有している。フラッシュメモリでは書込みあるいは消去における特性の素子間のばらつきがDRAM、SRAM等に比べ比較的大きい。これに対し書込み(消去)パルス印加後に読み出し動作を行って検証し、書込みが不十分なビットに対して再度書込み動作を実行するいわゆるベリファイ動作

が有効である。ベリファイ回路は図 1 4 の回路に限らず、他の回路を用いてもよい。また、本実施例では書込みのみベリファイを行うが消去時にもベリファイを行ってもよい。消去時にもベリファイを行うことで書込み前のしきい電圧分布が小さくなり、書込みベリファイに有する時間が短縮できる。尚、実施例 1、2 のように消去を低しきい値状態に定義しても構わないが、その場合電圧の大小関係が変わる為ベリファイ回路が異なる。

【 0 0 4 0 】

以下で図 1 4 の回路のベリファイ動作について説明する。本実施例の回路は「1」書き込み時に不十分なセルについてさらに書き込みを行い、しきい電圧を低下させる回路である。

【 0 0 4 1 】

(ステップ 1) 書込みたい情報をグローバルデータ線(37)からラッチ(L1)に読み込む。読み込み後トランジスタM8をオフとしメモリマツトをグローバルデータ線(37)から切り離す。ラッチ回路は実施例 1、2 のようなSRAMの形のものを用いてもよいし他のものでもよい。並行してワード線(38)に正の大きい電圧(例えば 18V)をかけて電子をフローティングゲートに注入する消去動作を実行する。このときトランジスタM5、M6、M7はオフにしておく。

【 0 0 4 2 】

(ステップ 2) 次にM7をオンにし、ローカルデータ線(36)にデータをロードする。

【 0 0 4 3 】

(ステップ 3) 次にワード線(38)に負の書込みパルス(例えば-15V)を印加し、書き込みを行う。

【 0 0 4 4 】

(ステップ 4) ここでM7をオフとし、M5をオンにしてデータ線(36)を0Vにプリチャージする。

【 0 0 4 5 】

(ステップ 5) 次にM5をオフにし、M6をオンにする。この時ラッチ(L1)されている情報が「1」の時ノードN3がhighでありM9がオンとなることで、ノードN4

のhigh(5V)の電圧がローカルデータ線(36)にロードされる。また、ラッチ (L1) に保持されている情報が「0」の場合M9はオフでローカルデータ線(36)は0Vのままである。

【0046】

(ステップ6) 次にM6をオフとしワード線(38)を読み出し電圧 (例えば1.5V) に設定する。情報「1」書き込みが正常に終了しているとしきい電圧は読み出し電圧より低く、したがってメモリセルを電流が流れてローカルデータ線(36)の電位が下がる。他方、情報「1」書き込みが不十分な場合メモリセル電流は小さく、ローカルデータ線(36)の電位変化は緩やかである。

【0047】

(ステップ7) 従って所定のタイミングでM7を開くと、書き込みが正常ならlowの状態が、不十分ならhighの状態にラッチされる。また、書き込み情報が「0」の場合プリチャージがlow(0V)でメモリセルも高しきい値なのでやはりlowの状態でラッチされる。この後(ステップ3)に戻る。

【0048】

以上から再度ワード線に書き込み電圧を印加した場合、「1」書き込みを意図してしかも書き込み不十分の場合のみデータ線(36)とワード線(38)間に負の大きな電圧がかかることとなる。上記説明でわかるように正常に書き込み出来たセルに接続されているラッチ(L1)では情報「0」を取り込んだのと同じ状態になっているので、同じワード線で駆動されるメモリセルについて、対応するラッチの情報が全て0となったかどうかでこのループの終点を判定できる。

【0049】

尚、ベリファイ中の(ステップ3)でワード線に印加するパルスの幅、あるいは電圧を変えて収束を早くしたり、逆に高精度にしきい電圧を制御してもよい。

【0050】

ここまでの実施例ではデータ線の分割を主に述べて来たが本発明の構造はワード線を分割する場合でも有効である。ワード線を分割して各々にドライバを用意しても面積ペナルティーが少ない点でデータ線分割と同様である。駆動すべきワード線容量が小さくなる為書き込み、消去、読み出し全てにおいて高速化が可能

である。

【 0 0 5 1 】

(実施例 4)

図 1 5 は、本発明の第 4 の実施例における高集積メモリセルを示す。図 1 6 は本実施例のメモリセル部分の回路図を示している。

【 0 0 5 2 】

高集積メモリセルの動作原理は実施例 2 のメモリセル (図 1 0) と同様であるがローカルデータ線を二本持ち、ローカルデータ線 1 (39)、ソース線 (41)、ローカルデータ線 2 (40) の三層構造をとっている点において異なる。チャンネル (42) は基板に対して垂直に設けられ、従って微小半導体あるいは微小金属による電荷蓄積領域 (43)、ワード線 (44) も側面を覆う形で設けられている。ソース線を共通にし、ローカルデータ線 1 (39) を用いる下側のセルとローカルデータ線 2 (40) を用いる上側のセルが縦に積み重なった構造を採っており、小面積でメモリセルが構成出来る。上下セルのチャンネル部 (42) 及び電荷蓄積領域 (43) は同時に堆積、形成したものであり、ソース線、ローカルデータ線との位置関係で役割が異なるだけである。

【 0 0 5 3 】

本実施例のメモリセル構造は集積度が非常に上がる。しかしこれを通常の半導体メモリのように基板表面を用いて作製するとセンスアンプ等の周辺回路はメモリセル程小さくできないため、周辺回路の面積比率が上がり、低面積メモリセルを用いた効果が薄れてしまう。本実施例のように超高集積メモリセルと周辺回路を上下の位置関係に作製することでメモリセルの小面積化の効果も十分に活かすことができる。また、ローカルデータ線 (39) (40) の材料に半導体を用いるにせよ金属を用いるにせよ膜厚を大きくすると積層データ線部分の段差が大きくなってしまい、チャンネルあるいはワード線の加工が困難となる。従って薄膜化する必要があるが、その結果ローカルデータ線の抵抗はあまり下がらない。短いローカルデータ線単位で駆動する本実施例はローカルデータ線抵抗が小さくないにも関わらず書き込み、消去、読み出し等の動作速度を確保できる。

【 0 0 5 4 】

図 1 6 は図 3 と同様に共通ソース線を用いる構造を用いている。しかし、メモリ素子としては共通のソース線を有し、同じワード線で駆動される 2 セルは積層された上下のセルを表す。また本実施例では上下のセルに反転情報を書き込み、2 セルを比較することによって読み出しを行う。記憶保持においてもマージンが増大し安定した記憶を行う。本実施例では反転情報を書き込むセルが互いに上下の位置関係であったが勿論これに限らない。

【 0 0 5 5 】

(実施例 5)

図 1 7 は、本発明の第 5 の実施例におけるメモリセル部分の回路図を示している。

【 0 0 5 6 】

本実施例では高集積メモリセル間の接続関係及びセルアレイとセンスアンプの接続関係が異なる。メモリセルアレイは一部しか書いていないが、セルアレイ MA1 が同じローカルデータ線に対して繰り返し並べられている。またセルアレイ DA1 はひとつのセンスアンプにつながっている多くのセルアレイ MA1 より少ない数用意すればよく、通常アレイ 1 個で構わない。実施例 4 では互いにペアとなってセンスアンプに接続されるローカルデータ線（例えば(49)(50)）には同じワード線で駆動され、反転情報が書き込まれたセルの読み出し電流が流れていた。本実施例では異なるワード線で駆動されるセルの読み出し電流が流れる。またセルアレイ DA1 のしきい電圧は読み出し動作時の電圧条件下で、メモリセルの記憶情報が情報「0」の場合と「1」の場合の中間の電流が流れるように設定されている。このため読み出し時のリファレンスとして用いることが可能であり、いわゆるダミーセルとなっている。また、例えばセル MC1 の読み出しにダミーセル DC1 を用いるようにデータ線に繋がるまでに間に入るセル数、トランジスタ数が等しいペアを用いることで、直列に入ったトランジスタの抵抗の効果を同様に揃えることが出来る為、安定な読み出しが期待できる。読み出し用ダミーセルの設定を複数用意し、二度以上増幅動作を行うことでメモリセルに書き込んだ 2 ビット以上の情報を読み出すことも可能である。

【 0 0 5 7 】

本実施例ではメモリセルばかりでなくアレイを選択するトランジスタも多結晶シリコンを用いて絶縁膜上に形成されている。選択トランジスタによる選択後に基板表面と接続することになるため接続すべき配線が少なく、レイアウトが容易である。

【 0 0 5 8 】

(実施例 6)

図 1 8 は、本発明の第 6 の実施例のデータ処理装置の構成の概念図である。図 1 8 (a) が層構成を示す図で、図 1 8 (b) は基板表面の層の配置図である。図 1 8 (a) のように、絶縁膜上に不揮発性メモリを有し、さらに基板表面にも不揮発性メモリが形成されており、これらの層の間には少なくとも一層の配線層がある。

【 0 0 5 9 】

本実施例では不揮発性メモリとして絶縁膜上、基板表面ともにフラッシュメモリとしたが、同じにしなくても構わない。絶縁膜上の不揮発性メモリの方が容量が大きい。本実施例ではセンスアンプ、データ線駆動回路、ワード線駆動回路等メモリとしての周辺回路を基板表面に形成する。絶縁膜上メモリセルの周辺回路も基板表面に形成されるためチップ面積が小さい。特にフラッシュメモリを用いる本実施例の場合、ワード線駆動回路には高耐圧が要求されトランジスタサイズが大きくなる為面積削減効果が大きい。またシフトレジスタを用いた場合も面積が大きいため、効果が顕著である。この効果を得る為には特に基板表面に不揮発性メモリを形成する必要はない。

【 0 0 6 0 】

本実施例のデータ処理装置の応用として個人情報等機密性を有する情報の保持、認証が挙げられる。例えば本人認証機能付きの電子マネーの携帯手段や ID カードとして用いる。パスワード、指紋、網膜パターンを始めとする認証情報は通常暗号化して不揮発性メモリに格納されているが、配線に探針を当てて動作時の信号をモニタするなど不正な手段で情報を読み出される恐れがある。本実施例では認証情報あるいは認証プログラムは基板表面と絶縁膜上の不揮発性メモリで分散して記憶している (図 1 9 (a) (b))。本実施例のチップに対して配線層に探針を

当てるためには絶縁膜上の不揮発性メモリを除去しなければならず、認証情報が失われるあるいは認証プログラムが失われる為情報の取り出しが不可能となる。このためこのような層構成を持つデータ処理装置は安全性が高い。また、単に認証情報あるいは認証プログラムを絶縁膜上の不揮発性メモリに置き、それを用いる認証回路が基板表面に形成されているのでも同様の効果がある。ただし安全性は本実施例の情報分散記憶の方が高い。また絶縁膜上の不揮発性メモリは容量が大きい為特に機密性の無い一般の情報記憶にも使える。

【 0 0 6 1 】

(実施例 7)

図 2 0 は、本発明の第 7 の実施例の構成のデータ処理装置の構成の概念図である。絶縁膜上のメモリセル及び基板上のセンス回路には実施例 1 のセル、回路を用いる。本実施例の特徴は基板表面にさらに揮発性メモリが用意されていることである。DRAM とフラッシュメモリを同一チップ上に混載するのは困難であるが、これはメモリセル形成のプロセスが互いに大きく異なっているためである。本実施例の構成を用いれば基板表面は揮発性メモリとの混載プロセスのみでよく、実現が用意である。このような構成によってパーソナルコンピュータのマイクロプロセッサ、BIOS 格納用フラッシュメモリ、DRAM、ハードディスクを 1 チップ化することが可能である。コスト削減効果のみでなくメモリ間のバンド幅を増やせるため高速動作、入出力用回路が不要なため消費電力削減が可能である。

【 0 0 6 2 】

本実施例では基板表面の揮発性メモリとしてはトレンチキャパシタを用いた DRAM を、絶縁膜上の不揮発性メモリにはフラッシュメモリを用いた。メモリセルのみでなくワード線の駆動回路も絶縁膜上に多結晶シリコンを用いて形成した。このため基板表面には 20V 以上という高耐圧のトランジスタを用意する必要はなく、従ってチップ面積が低減できる。さらに高耐圧の MOS トランジスタでは厚いゲート酸化膜が必要となるが、これも基板表面に形成する必要がないため基板表面のトランジスタのゲート酸化膜厚の種類を減らすことが可能となる。さらに本実施例では絶縁膜上の不揮発性メモリとほぼ同等の面積で不揮発性メモリ用周辺回路が構成されることになるが、実施例 1 のようにメモリマットを小さくせず、セ

ンスアンプ数を低減して周辺回路面積を低減してもよい。この場合絶縁膜上不揮発性メモリの下の余りの部分には他の回路を配置可能で面積が低減出来、コスト削減に効果がある。また、本実施例では揮発性メモリを基板表面に形成したが、これも絶縁膜上に形成し、絶縁膜上に揮発性メモリと不揮発性メモリを異なる層で形成される構成を採っても構わない。

【 0 0 6 3 】

(実施例 8)

図 2 2 は、本発明の第 8 の実施例の記憶装置のメモリセル部分の構成を説明する概略図である。本実施例はシリアルアクセスの記憶装置であり、分割された各メモリマットにそれぞれシフトレジスタを用意している。図を簡略化するためメモリマットは 4 つしか描いていないが実際には 64M 個のセルから成る高集積メモリのワード線 8K 本を 16 分割した。高集積メモリ部分はフラッシュメモリである。外部からの入力はコントローラによって 8Kb を単位に順次異なるシフトレジスタに割り振られ、一旦シフトレジスタに格納される。この情報を上部のフラッシュメモリに書き込む訳であるが、この書き込みは次にシフトレジスタに情報を書き込むまでに終了すればよく、セル単位で書き込みが低速であるにも関わらず高速の書き込みデータ転送レートが実現可能である。ベリファイ回路、読み出し回路もメモリマット毎に用意することで各メモリマットが独立に動作できる。一般に単位セルに 2 ビット以上を記憶する場合、各情報を表すしきい電圧分布の間隔が狭くなり、従って高精度のベリファイが必要となるためベリファイに要する時間が長くなるため、本実施例の構成は特に有効である。同一平面上に高集積セルと周辺回路を設ける従来のメモリでは面積ペナルティーが大きくなってしまいが本発明ではそれがほとんどない。

【 0 0 6 4 】

【発明の効果】

本発明によれば、高速書換を可能としながら面積増大の少ない半導体記憶装置を提供することができる。また、小面積で大容量、または高速動作、低消費電力動作の半導体記憶装置を提供することができる。さらに、作製が容易で、ロジック性能を損なうことなく同一チップ上に大規模メモリを搭載することのできるデ

ータ処理装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の実施例 1 の半導体記憶装置またはデータ処理装置の構造図である。(a)が断面構造図、(b)が高集積メモリ部分の単位セル断面図である。

【図 2】

本発明の実施例 1 の半導体記憶装置またはデータ処理装置の構成を説明する概念図である。(a)が低コスト化を説明する図、(b)が高速化を説明する図である。

【図 3】

本発明の実施例 1 の半導体記憶装置またはデータ処理装置のメモリセル部分の回路図である。

【図 4】

本発明の実施例 1 の半導体記憶装置またはデータ処理装置の製造工程を説明するレイアウトである。

【図 5】

本発明の実施例 1 の半導体記憶装置またはデータ処理装置の製造工程を説明するレイアウトである。

【図 6】

本発明の実施例 1 の半導体記憶装置またはデータ処理装置の製造工程を説明するレイアウトである。

【図 7】

本発明の実施例 1 の半導体記憶装置またはデータ処理装置の製造工程を説明するレイアウトである。

【図 8】

本発明の実施例 1 の半導体記憶装置またはデータ処理装置の基板表面に形成されたSRAM部分の回路図である。

【図 9】

本発明の実施例 2 の半導体記憶装置またはデータ処理装置の基板表面に形成されたSRAM部分の回路図である。

【図 1 0】

本発明の実施例 1 の半導体記憶装置またはデータ処理装置の高集積メモリ部分の単位セル断面図である。

【図 1 1】

本発明の実施例 1 の半導体記憶装置またはデータ処理装置のメモリマツト構成及びセクタ名割り振りを説明する図である。

【図 1 2】

本発明の実施例 2 の半導体記憶装置またはデータ処理装置において、高集積メモリが揮発性である場合のSRAM部構成を説明する回路図である。

【図 1 3】

本発明の実施例 2 の半導体記憶装置またはデータ処理装置の高集積メモリセルアレイの回路図である。

【図 1 4】

本発明の実施例 3 の半導体記憶装置またはデータ処理装置にける高集積メモリセルアレイのベリファイ回路図である。

【図 1 5】

本発明の実施例 4 の半導体記憶装置またはデータ処理装置の高集積メモリセルの構造を説明する図である。(a)が鳥瞰図、(b)がデータ線断面における断面図である。

【図 1 6】

本発明の実施例 4 の半導体記憶装置またはデータ処理装置のメモリセル部分の回路図である。

【図 1 7】

本発明の実施例 5 の半導体記憶装置またはデータ処理装置のメモリセル部分の回路図である。

【図 1 8】

本発明の第 6 の実施例のデータ処理装置の構成の概念図である。

【図 1 9】

本発明の第 6 の実施例のデータ処理装置の使用方法を説明する概念図である。

(a)が認証情報の分散記憶、(b)が認証プログラムの分散記憶の場合である。

【図 2 0】

本発明の第 7 の実施例の構成のデータ処理装置の構成の概念図である。

【図 2 1】

本発明の第 1 の実施例の回路図である図 3 を上下関係を明示する形で書き直した回路図である。

【図 2 2】

本発明の第 8 の実施例の記憶装置のメモリセル部分の構成を説明する概略図である。

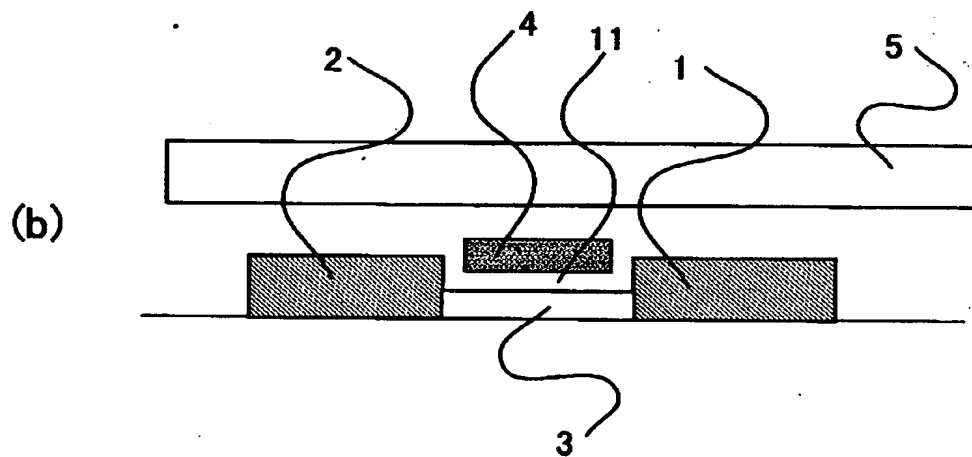
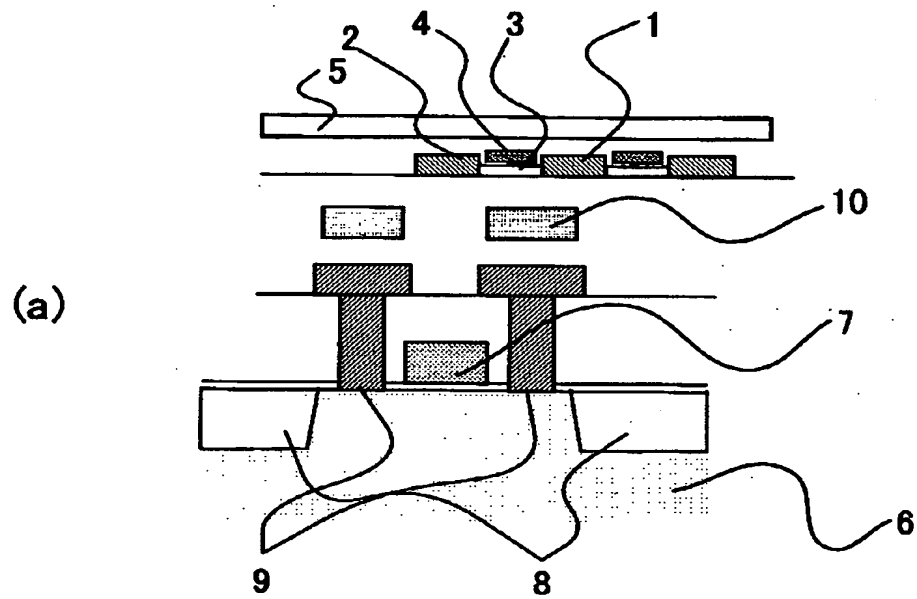
【符号の説明】

1…ソース領域兼ソース線、2…ドレイン領域兼ローカルデータ線、3…チャネル、4…浮遊ゲート、5…ゲート兼ワード線(5)。

【書類名】 図面

【図 1】

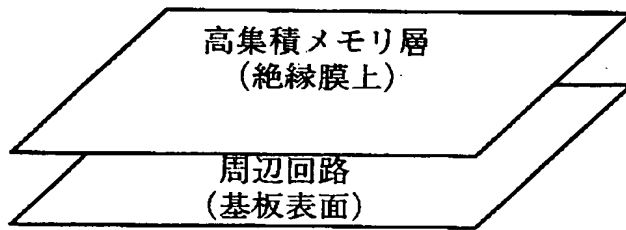
図1



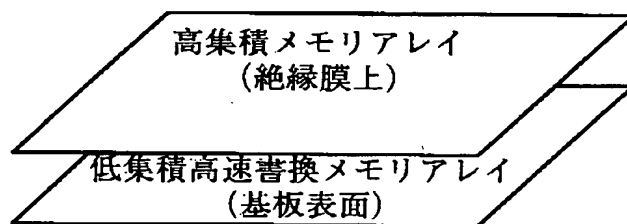
【図 2】

図2

(a)

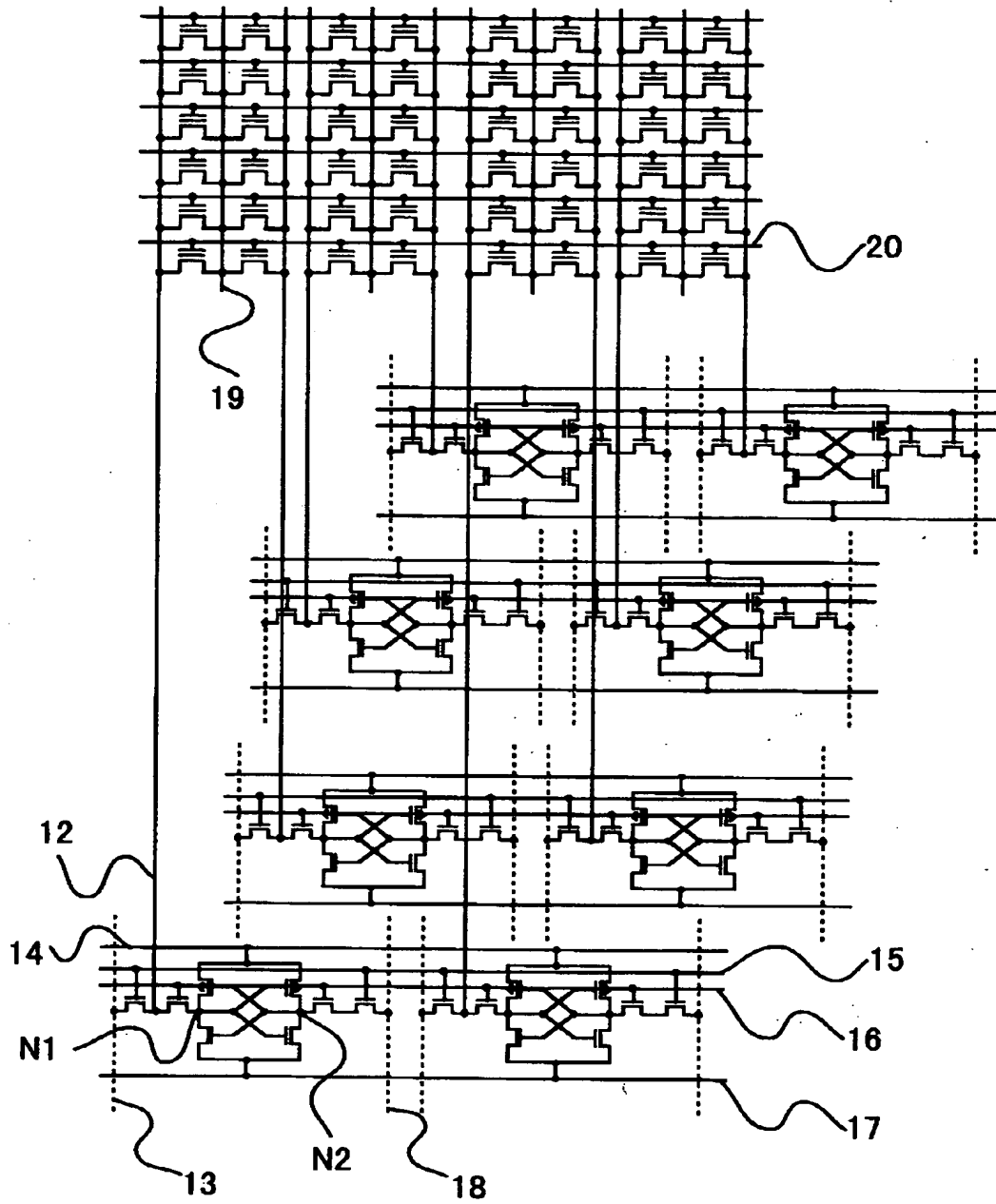


(b)



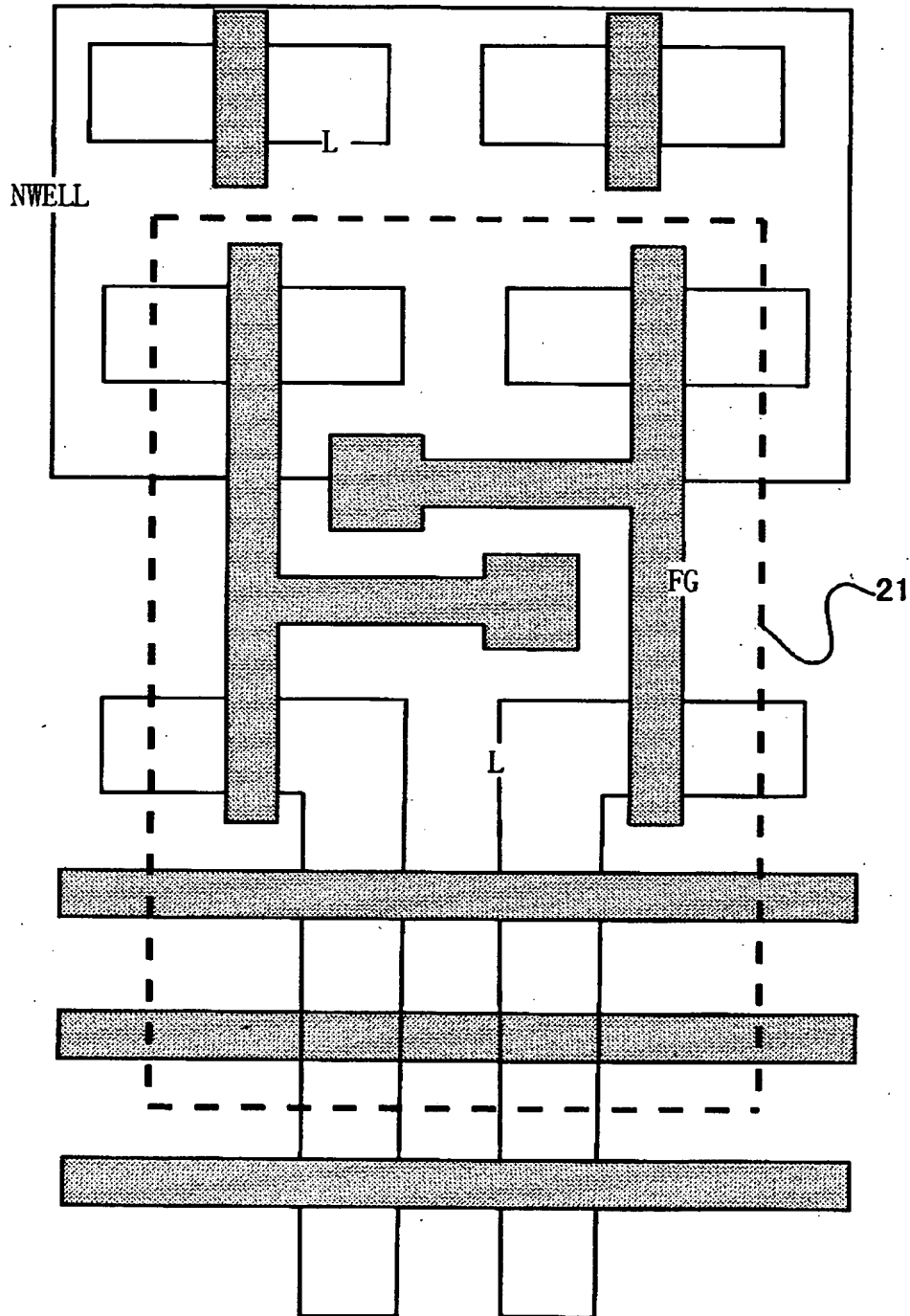
【図3】

図3



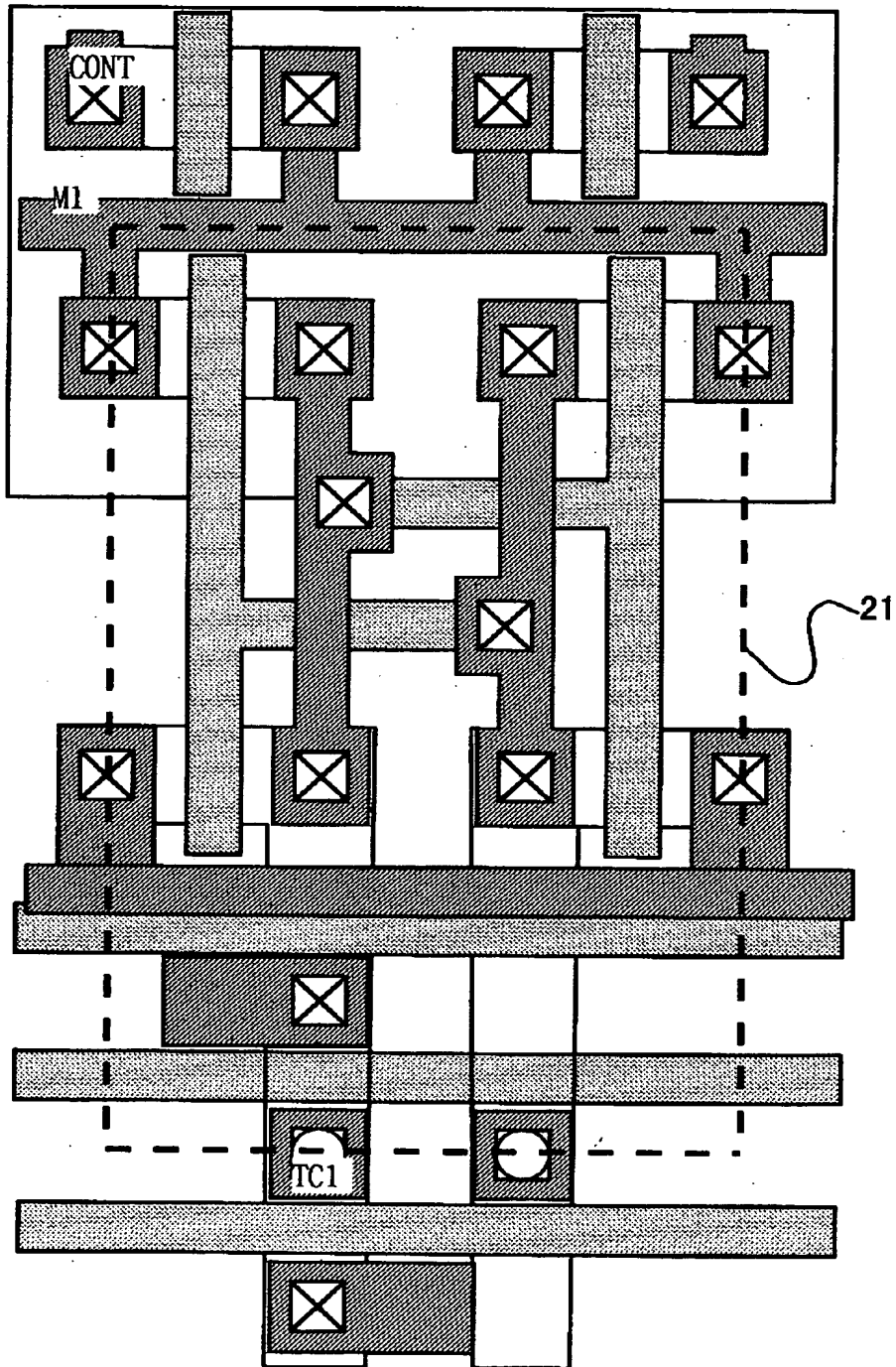
【図 4】

図 4



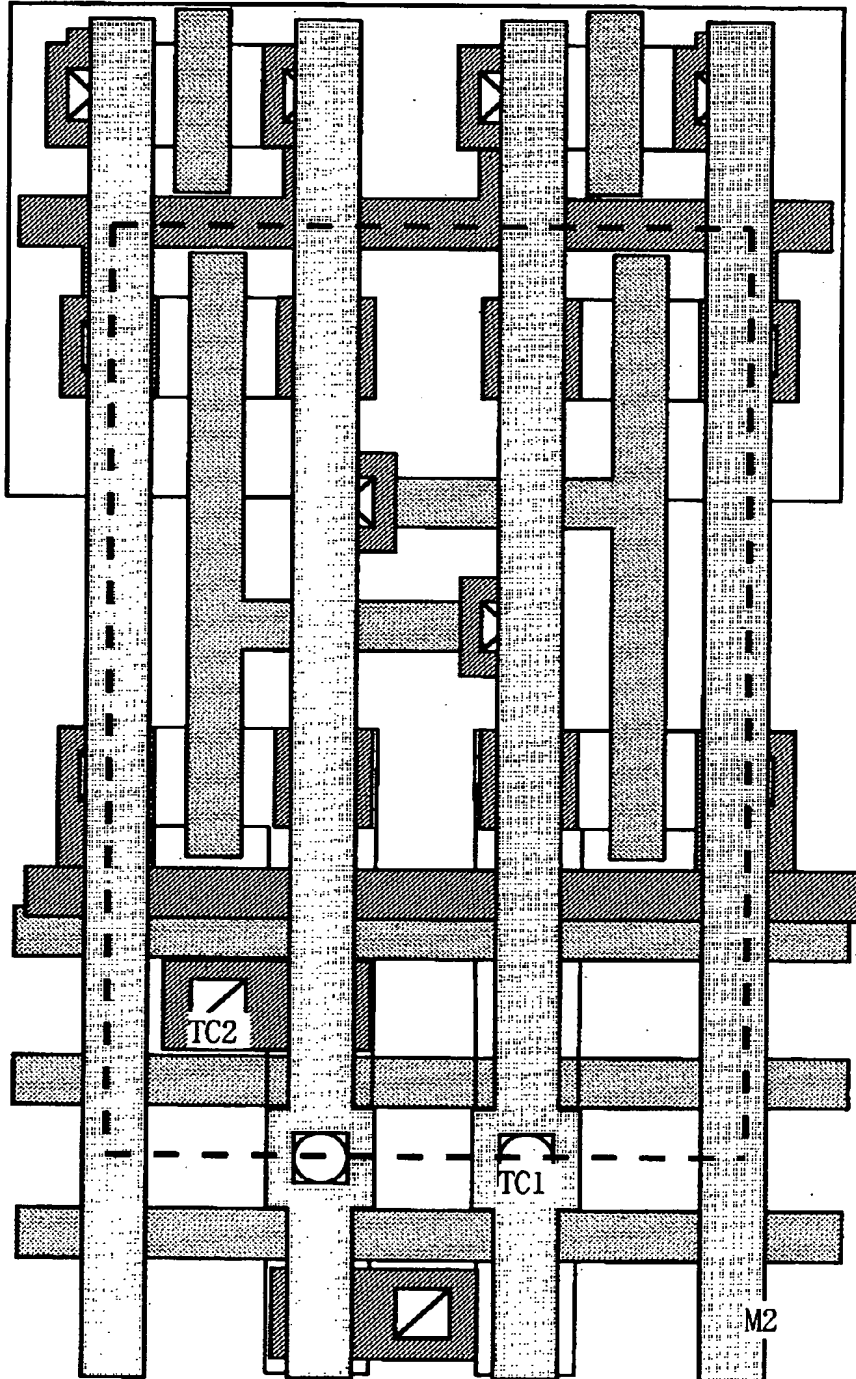
【図5】

図5



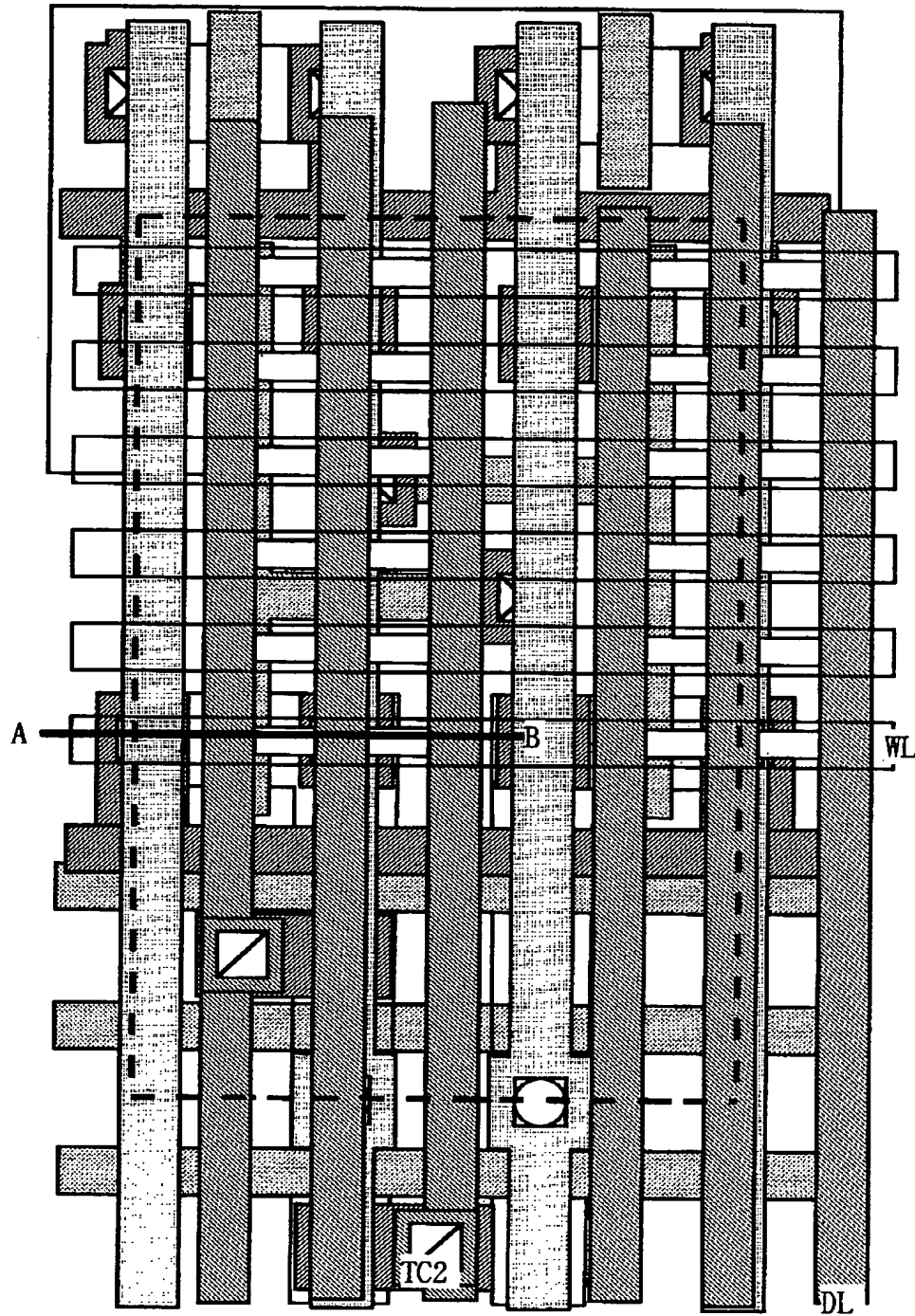
【図 6】

図 6



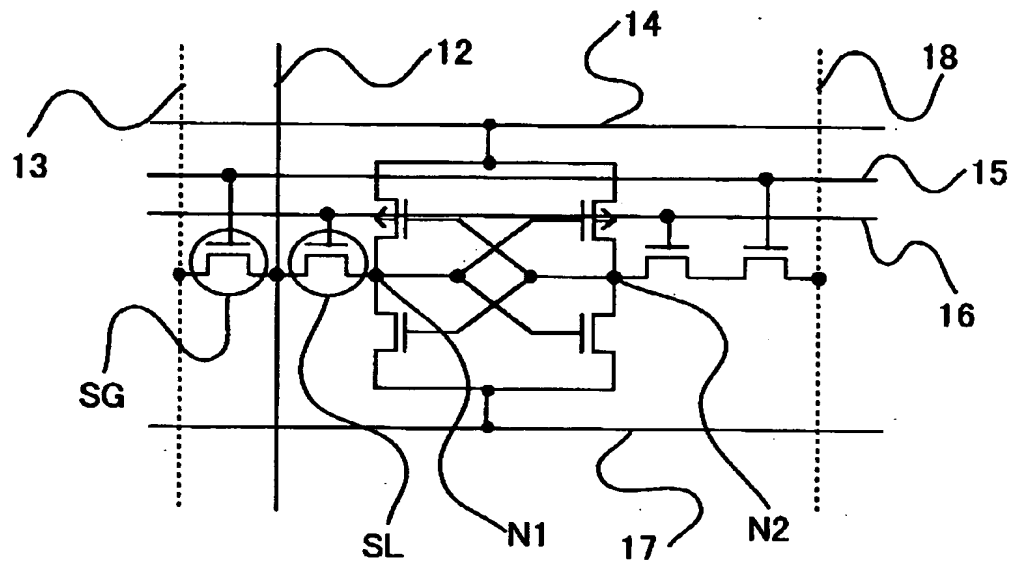
【図7】

図7



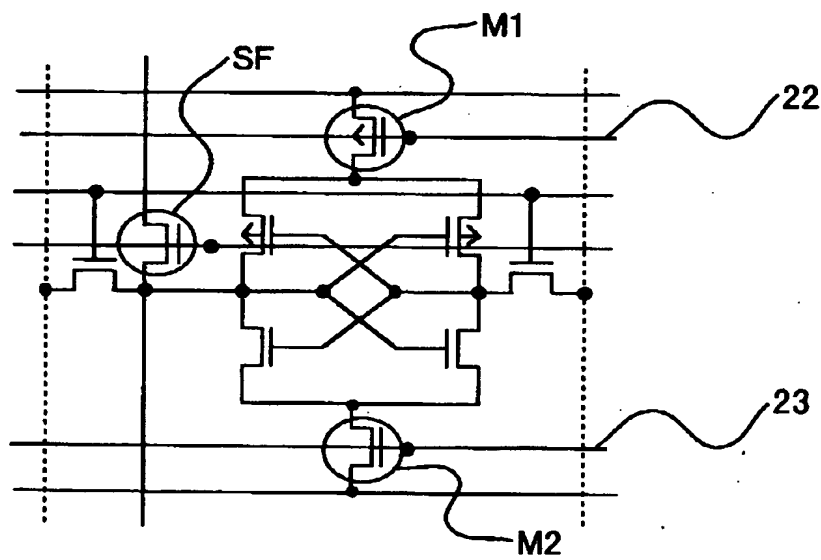
【图 8】

图8



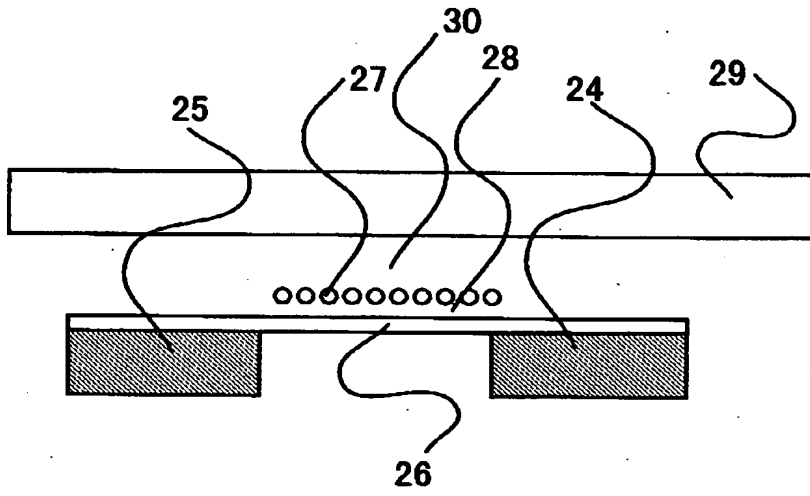
【図 9】

图9



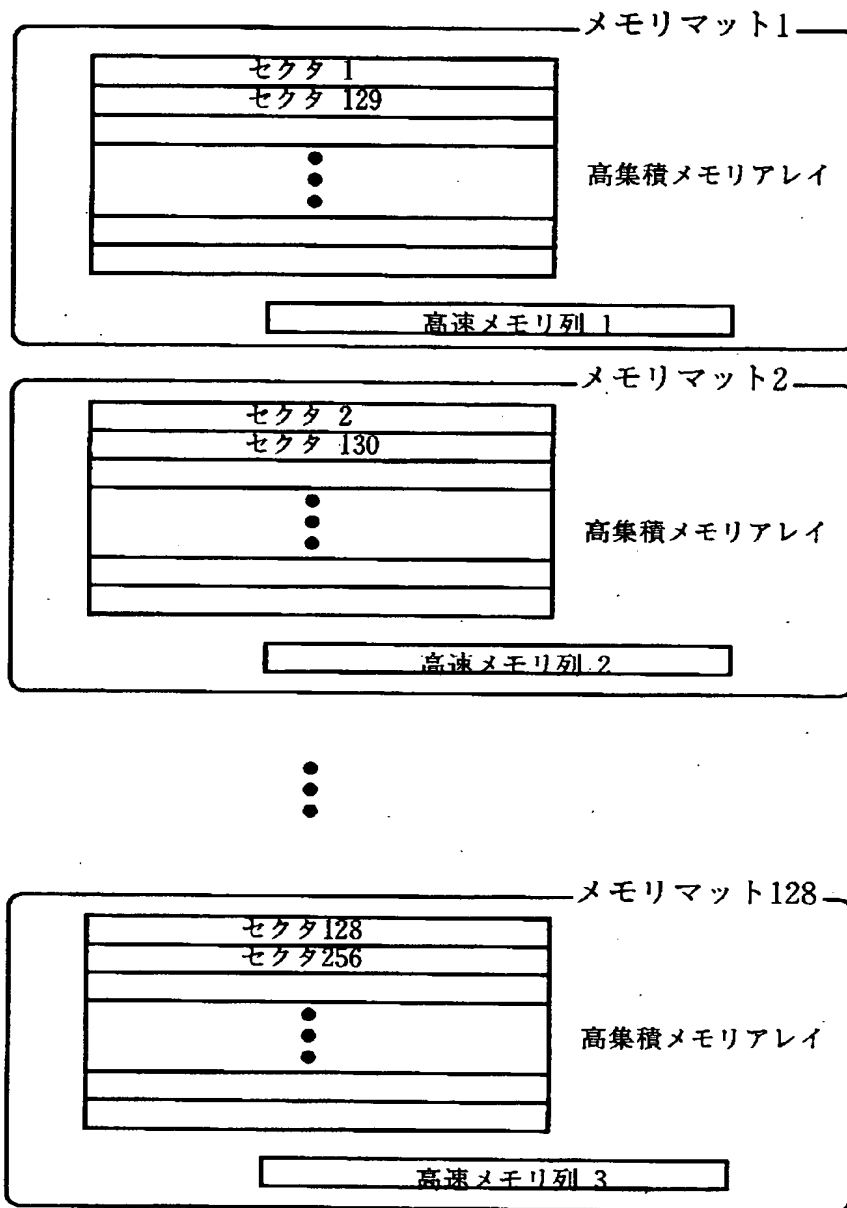
【図 1 0】

図10



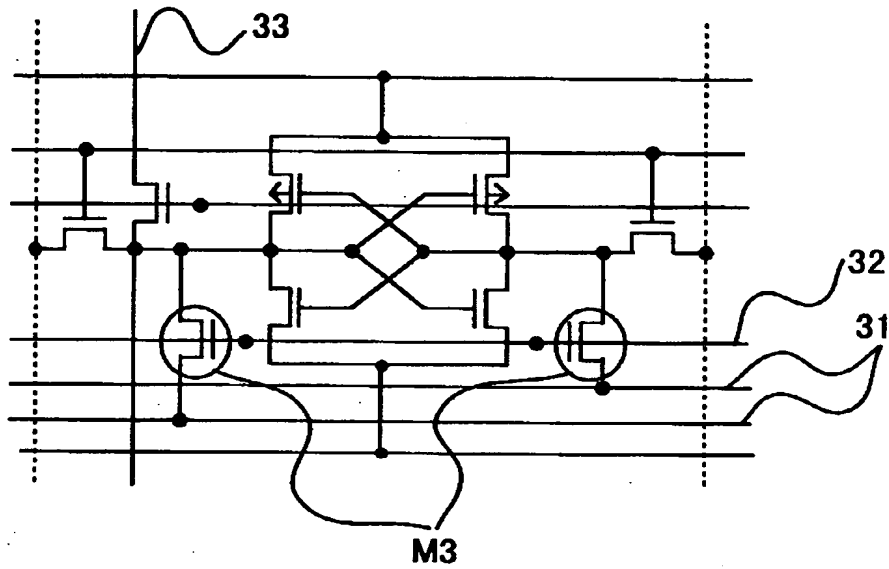
【図 11】

図11



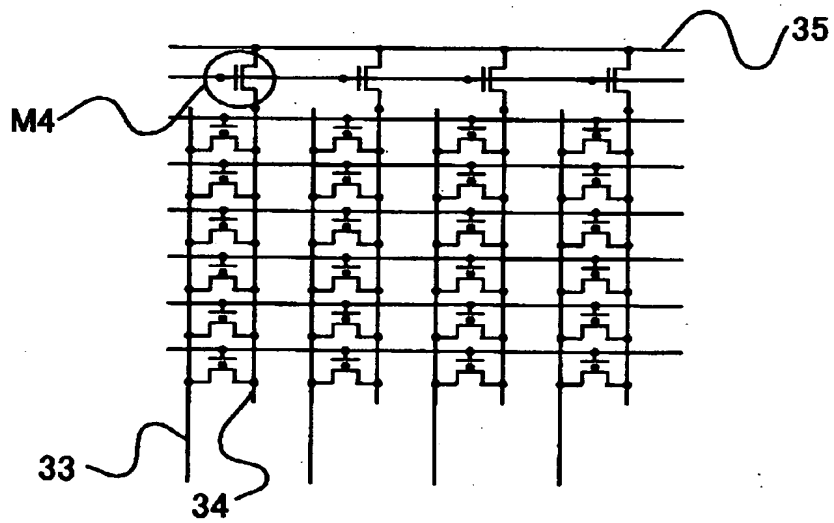
【図 12】

図12



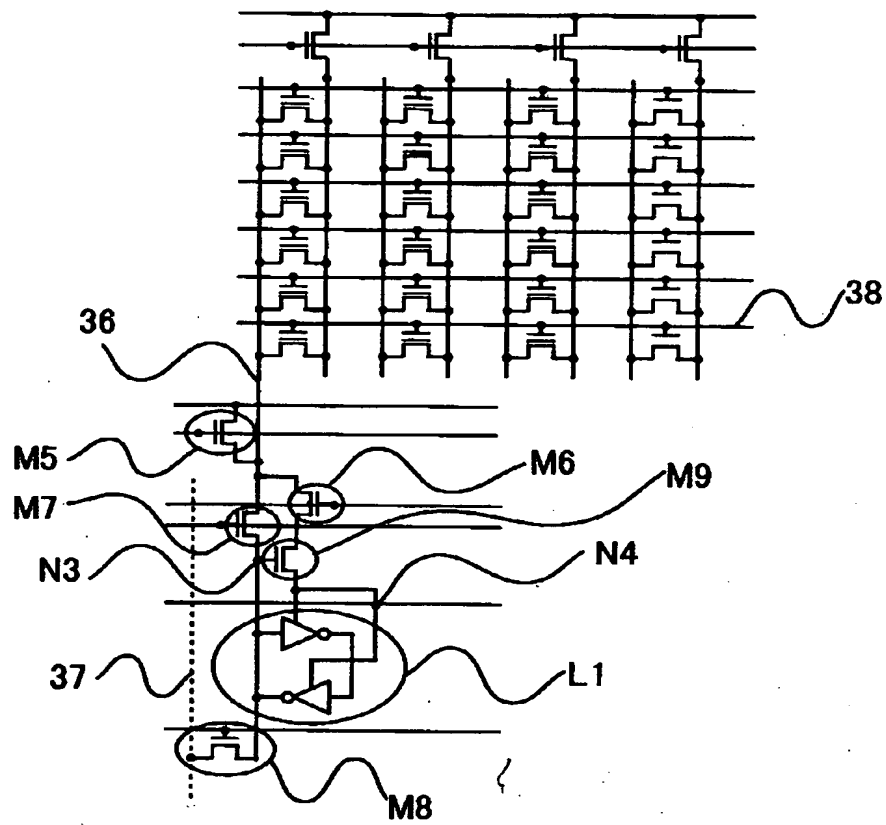
【図 13】

図13



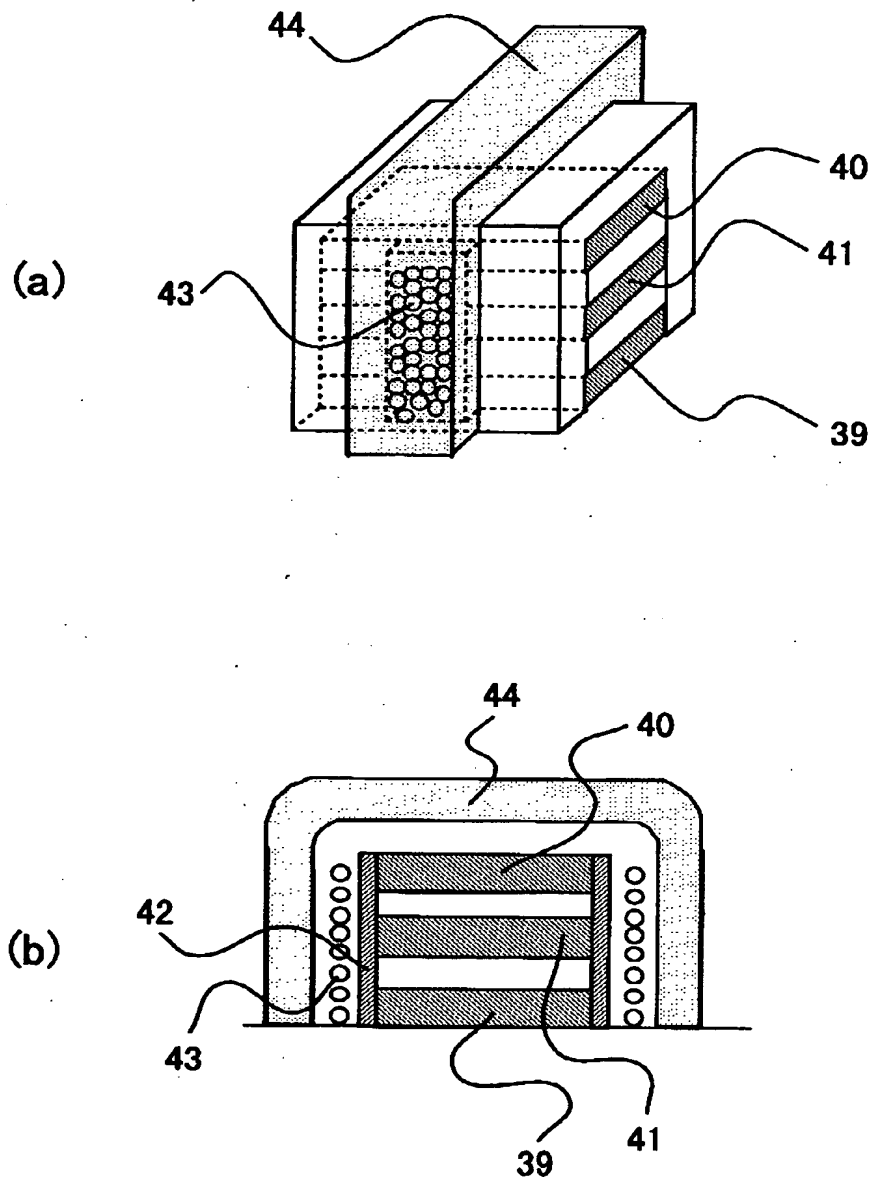
【図 14】

図14



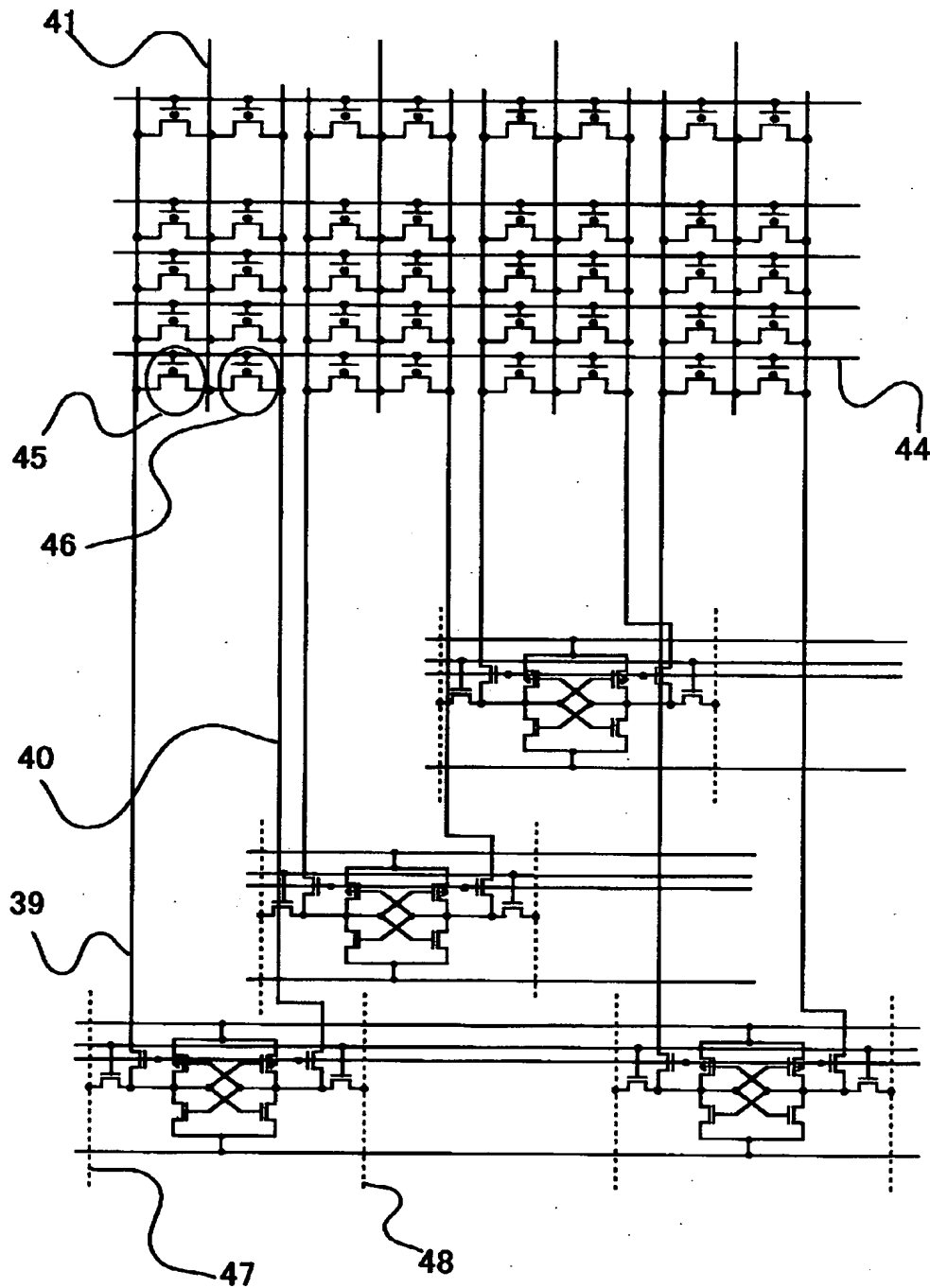
【図15】

図15



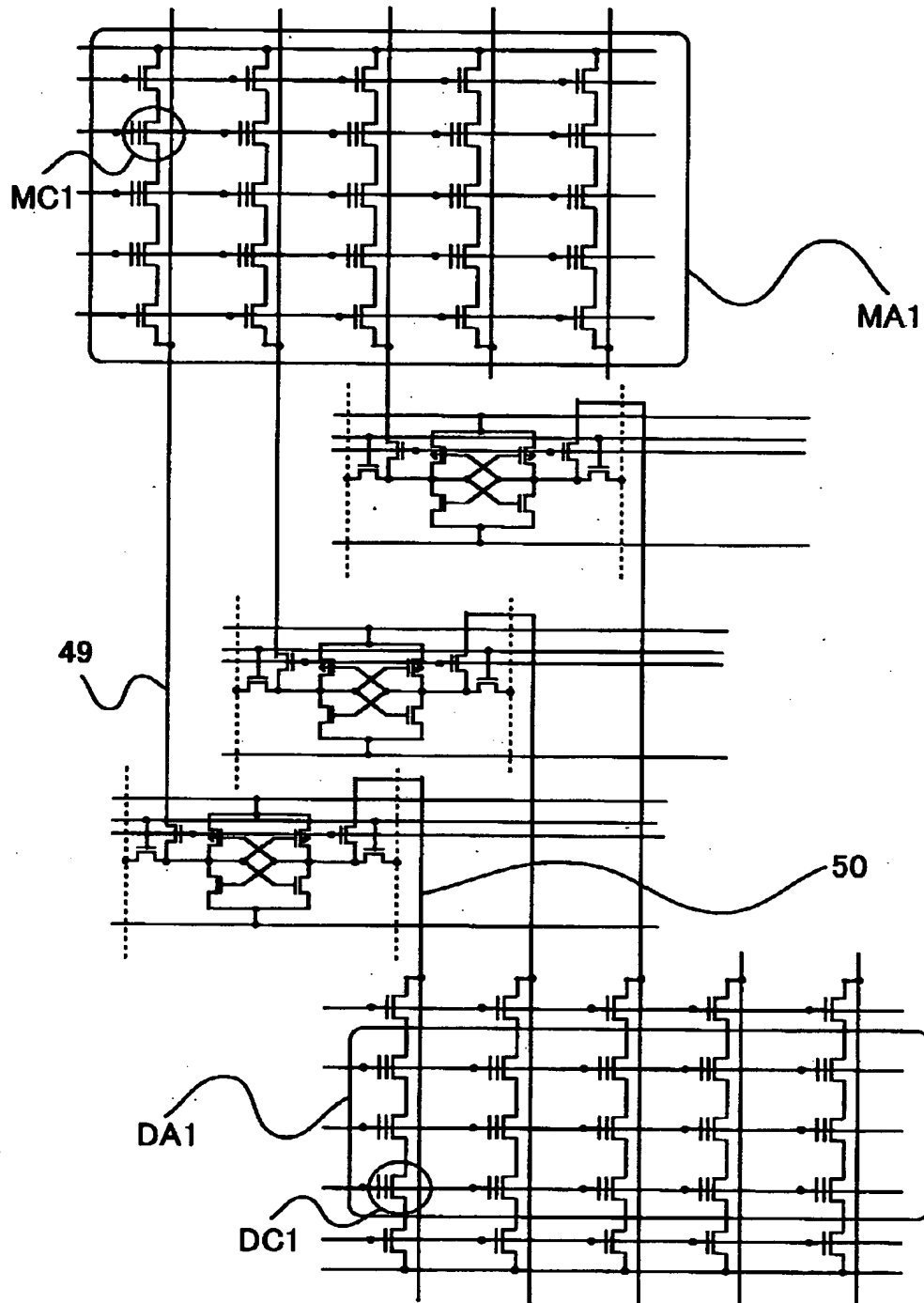
【図16】

図16



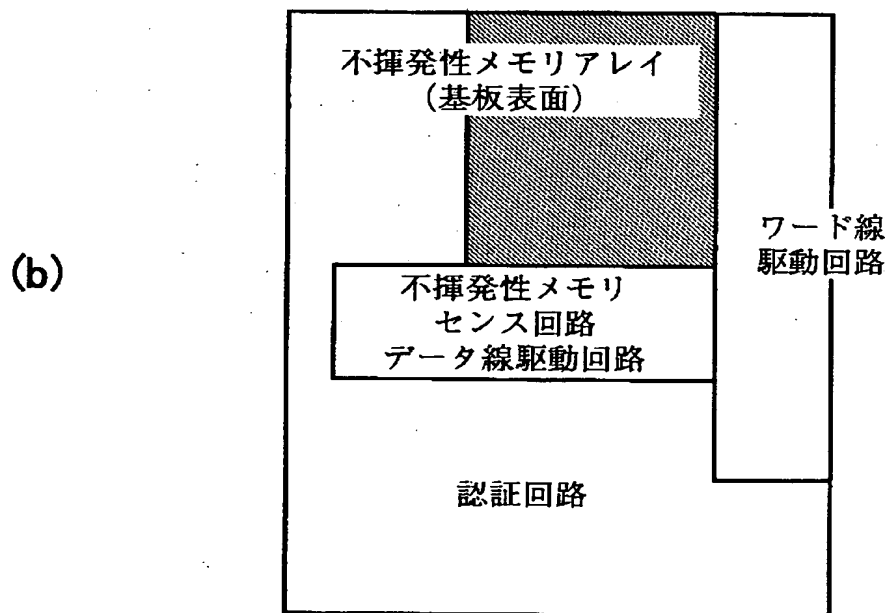
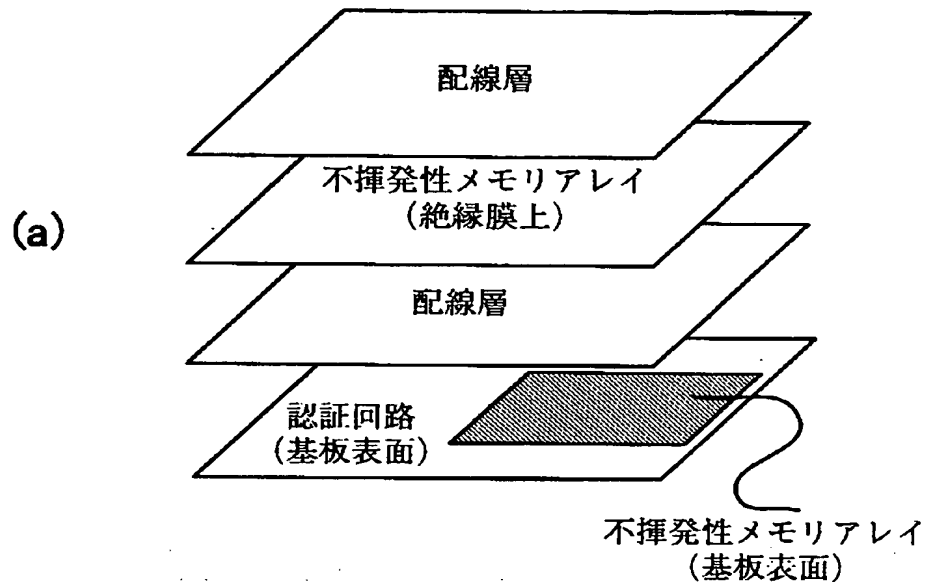
【図17】

図17



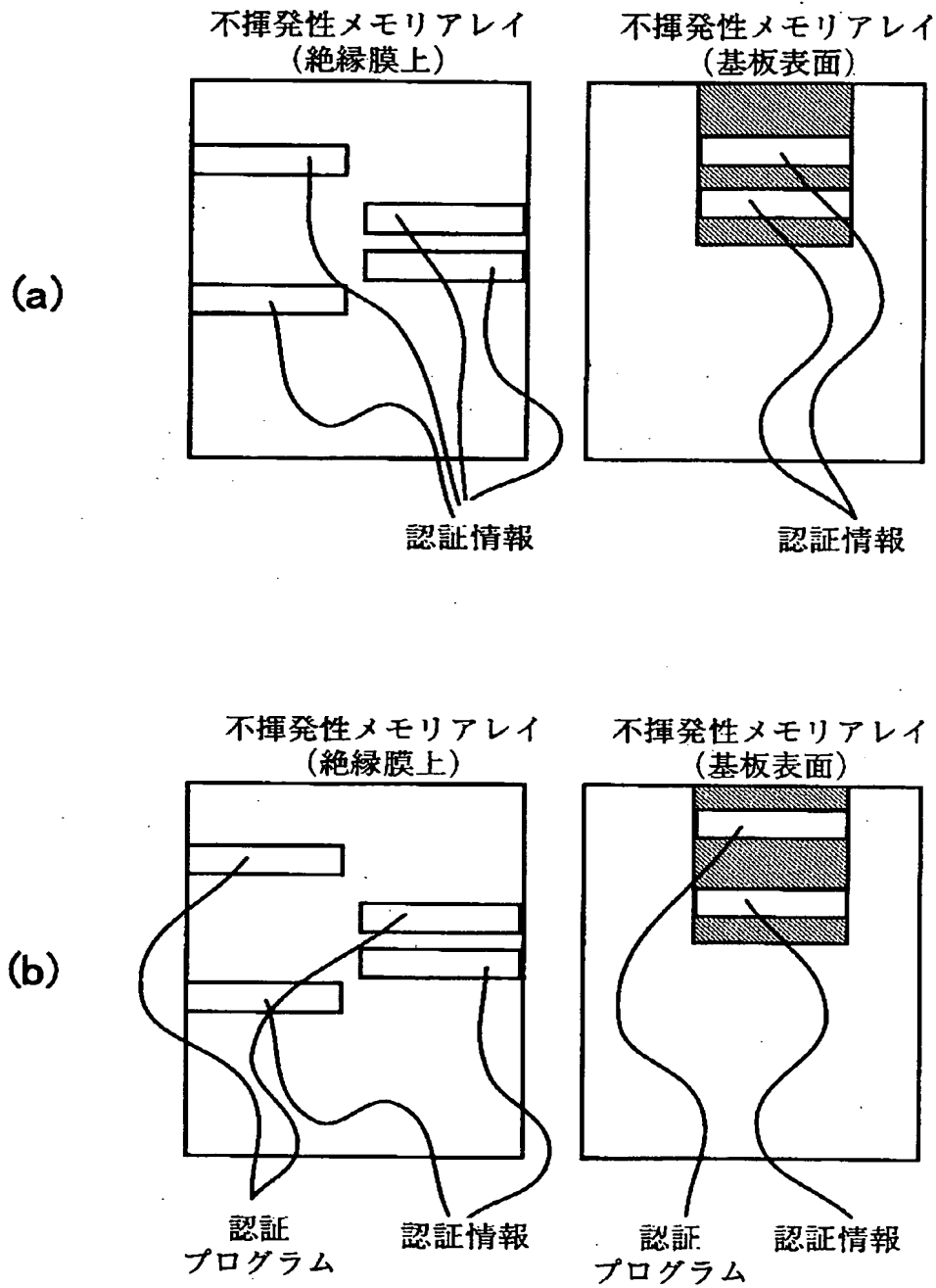
【図 1 8】

図18

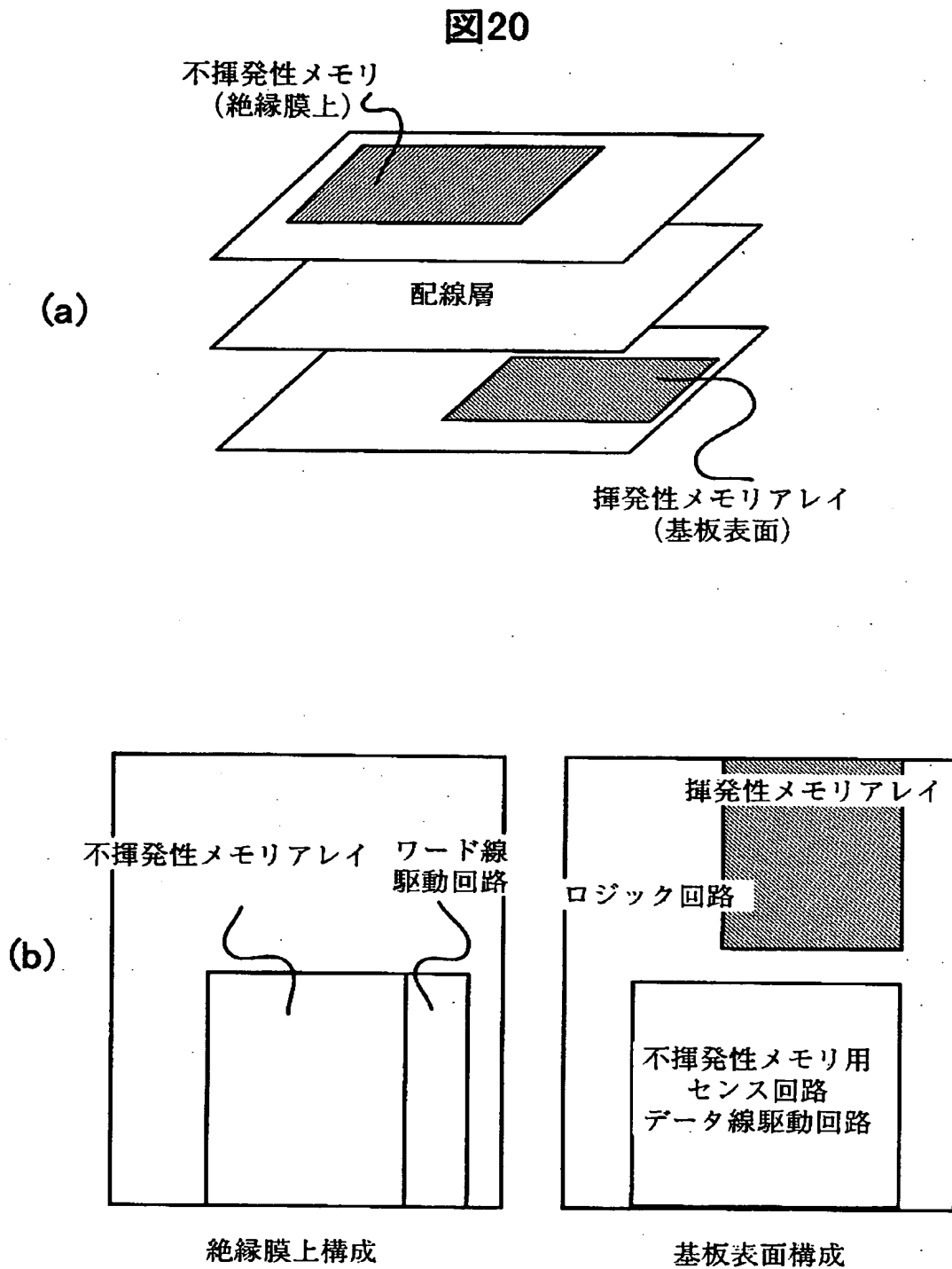


【図19】

図19

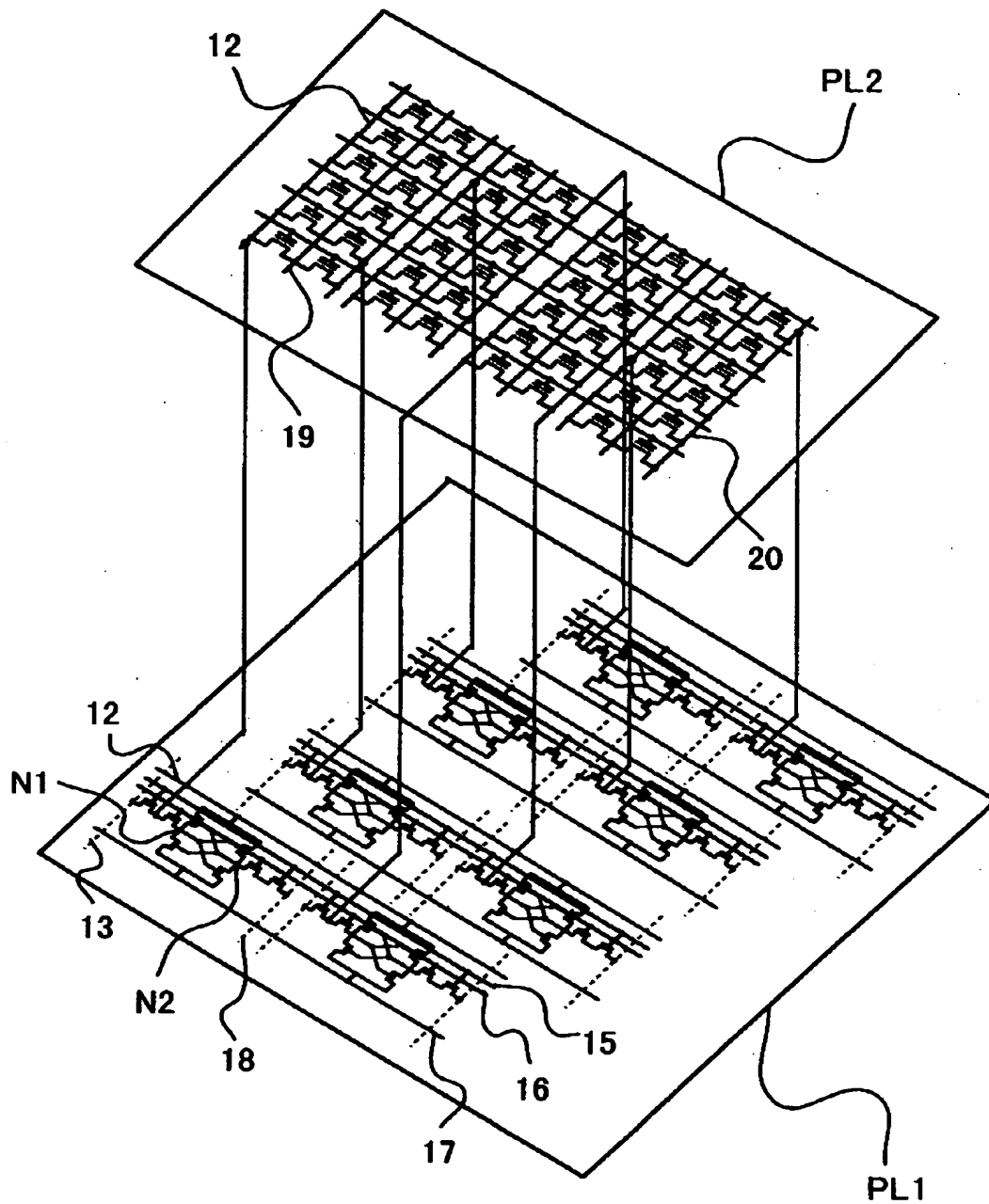


【図20】



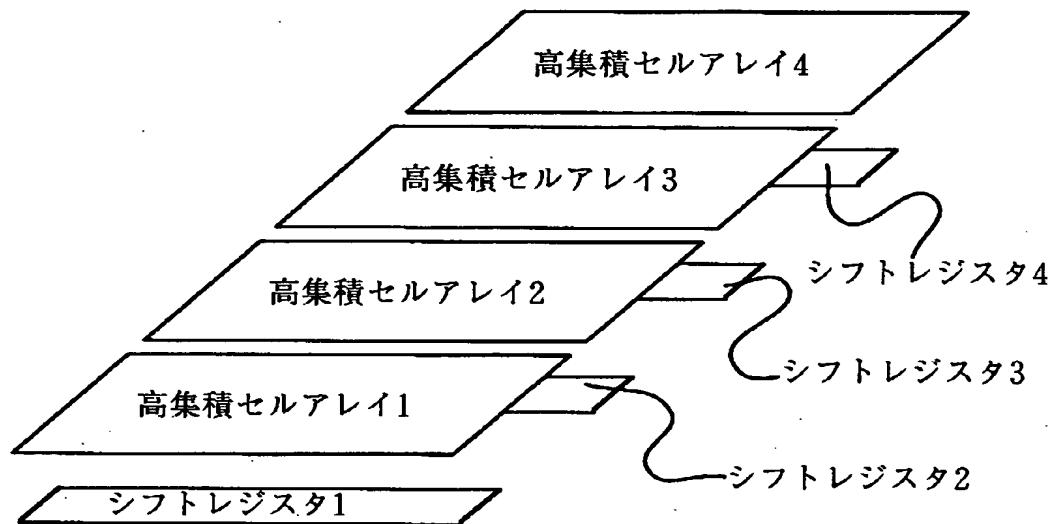
【図21】

図21



【図 2 2】

図22



【書類名】 要約書

【要約】

【課題】 高速書換を可能としながら面積増大の少ない半導体記憶装置を提供する。
。また、小面積で大容量、または高速動作、低消費電力動作の半導体記憶装置を提供する。

【解決手段】 半導体基板表面にロジック回路やバッファメモリ、センスアンプ等の周辺回路またはその一部を設け、絶縁膜を介してその上にメモリセルを設ける

。 【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所